

Univerza v Ljubljani
Fakulteta za elektrotehniko

Tehnična dokumentacija
Tihi video alarm

Avtor: Andrej Zgonc

Vpisna številka: 64050456

1 KAZALO

1	KAZALO	2
2	KLJUČNE BESEDE.....	5
3	UVOD	6
4	SPECIFIKACIJE	7
5	ČASOVNI IN FINANČNI PLAN	8
5.1	ČASOVNI PLAN	8
5.2	FINANČNI PLAN	8
6	ZASNOVA NAPRAVE	9
6.1	BLOK SHEMA NAPRAVE	9
6.2	ELEKTRIČNA SHEMA	10
6.3	NAČRT TISKANEGA VEZJA	13
6.4	MONTAŽA ELEMENTOV	14
6.5	ZGRADBA PROGRAMA.....	15
7	OPIS VHDL MODULOV.....	16
7.1	GRABBER	17
7.2	OBDELAVA	19
7.3	POMNILNIK.....	20
8	KONSTRUKCIJSKI NAČRT (ohišje).....	20
9	KOSOVNICA	23
9.1	KOSOVNICA ZA PAL->BT656 vezje.....	23
9.2	KOSOVNICA ZA Spartan-3 razvojni modul V2.0	23
10	MERILNI POSTOPKI	25
11	TEHNIČNE SPECIFIKACIJE.....	26
12	NAVODILA ZA UPORABO	26
12.1	VARNOSTNI NAPOTKI	26
12.2	NAMEN UPORABE	26
12.3	PROGRAMIRANJE FPGA.....	26
12.4	UPORABA.....	27
13	ČASOVNA IN FINANČNA REKAPITULACIJA	27
14	UPORABLJENI VIRI	28
15	PRILOŽENE DATOTEKE	29

Slika 1 Blok shema naprave	9
Slika2 Električna shema VideoVGA modula pred predelavo.....	10
Slika3 Električna shema razvojnga modula Spartan-3 V2.0.....	11
Slika4 Električnashema video vmesnika (PAL->BT656) z popravki.....	12
Slika5 Tiskano vezje PAL->BT656.....	13
Slika 6 Montažni načrt zgornjega dela vezja PAL-> BT656.....	14
Slika 7 Montažni načrt spodnjega dela vezja PAL-> BT656.....	14
Slika 8 Grafični prikaz delovanja programa.....	16
Slika 9 blok shema VHDL modulov	17
Slika 10 Ena vrstica je sestavljena iz štirih delov.....	17
Slika 11 Ena vrstica 8 bitnega digitalnega videotoka traja 1728 period	18
Slika 12 Zadnjih 8 bitov sinhronizacijskega bloka.....	18
Slika 13 Opis zadnjih osmih bitov sinhronizacijskega bloka.....	18
Slika 14 Računanje varnostnih bitov	19
Slika 15 Razvojna modula povezana preko konektorja	20
Slika 16 Velikost vezja, ki ga nameravamo vgraditi	21
Slika 17 Priporočeno ohišje za vgradnjo	21
Slika 18 Oznake predvidenega ohišja	22
Slika 19 Pozicije v naprej pripravljenih lukenj za pritrditev tiskanine v ohišje.....	22

Table 1 Specifikacije	7
Table 2 Časovni plan	8
Table 3 Finančni plan	8
Table 4 Naslovi in vrednosti registrov, ki jih je potrebno nastaviti za pravilno delovanje TVP5150A	9
Table 5 Dimenzije predvidenega ohišja	22
Table 6 Kosovnica za PAL->BT656 vezje	23
Table 7 Kosovnica za Spartan-3 razvojni modul V2.0	25
Table 8 Tehnične specifikacije	26

2 KLJUČNE BESEDE

FPGA, VHDL, PAL signal, ITU-R BT.656 digitalni videotok

3 UVOD

Ideja za projekt je nastala že pred mnogimi leti, ko sem razmišljal o nekoliko pametnejših alarmnih sistemih, ki bodo imeli poleg osnovne funkcije delovanja, vgrajen nekoliko inteligentnejši algoritem, ki se ga bo dalo programsko nastaviti. Ko sem omenil nastavitve sem mislil na nastavljanje meje proženja alarma, ki se jo predhodno nastavi, in pa od velikosti okvirja, kjer zajemamo sliko. Okvir lahko predhodno nastavimo na določeno pozicijo, kjer želimo da proži alarm. Projekt »sloni« na dveh razvojnih modulih, ki so nastali v laboratoriju LNIV. To sta Spartan-3, Razvojni Modul 2.0 in pa VideoVGA modul. Za projekt, optimizacijo in potrebo tega predmeta sem VideoVGA modul predelal in posledično občutno zmanjšal. Vezje se sedaj imenuje PAL->BT.656. Njegova funkcija je da kompozitni videosignal PAL, ki ga zajamemo s kamero, predela v digitalni videotok po standardu ITU-R BT656, ki je primeren za nadaljno obdelavo. Namen predelave je bil tudi, da je novo vezje kompatibilno z Xilinxovim razvojnim modulom, ki ga bomo lahko s tem novim modulom pravtako uporabljali za obdelavo video signala. V ta namen sem zamenjal priklopne konektorje s tipom CON LST-B in pa napajalni del. Vezje PAL->BT.656 se lahko sedaj napaja samo preko priklopnih konektorjev. Vir napajanja je sedaj Xilinxov razvojni modul. Napajalna napetost je 3.3V. VGA out in PAL out sta odstranjena. Vezje je sedaj eksplicitno namenjeno za pretvorbo PAL analognega video signala v digitalni videotok BT.656, ki je uporabno za nadaljno obelavo videotoka s pomočjo kupljenega Xilinxovega razvojnega modula.

4 SPECIFIKACIJE

Konektor	Opis
DC JACK	Skupno DC napajanje 6-9V
USB	Namenjen za nalaganje sw na napravo(FPGA). Z uporabniškega stališča je to nepomeben konektor. Uporablja se za vzdrževanje, testiranje in programske posodobitve.
VIN CINCH	Vhodni konektor, ki je namenjen za standardni PAL signal. Kompatibilen je z vsemi PAL generatorji signala kot so kamera, fotoaparat,...
LED(zelena)	Indikacija za alarm, ki se pojavlja ob spremembah scene. Občutljivost in okvir slike je možno predhodno ročno nastaviti. Uporabniku ta funkcija ni na voljo. V novejši verziji programske opreme bo možno spreminjati mejo, ki bo prožila alarm, in položaj okvirja, neposredno preko terminalskega okna. Sedaj se meja alarma in okvir nastavitve predhodno v programu in kasnejše konfiguriranje naprave s strani uporabnika ni mogoče.
VOUT CINCH(ni v uporabi/ni vgrajen)	Izhodni konektor, ki deluje po standardu PAL. Namenjen je prikazu obdelanega signala. Namenjen je za druge aplikacije. Prisoten samo v reviziji 1. V predelani verziji modula ni prisoten.
VGA (ni v uporabi/ni vgrajen)	Izhodni konektor, ki deluje po standardu VGA . Namenjen je za druge aplikacije. Prisoten samo v reviziji 1. V predelani verziji modula ni prisoten.

Table 1 Specifikacije

5 ČASOVNI IN FINANČNI PLAN

5.1 ČASOVNI PLAN

POSAMEZNI KORAKI RAZVOJA		RAZVOJNI ČAS v urah	
Software(programiranje)	<i>Grabber</i> +simulacija	50	
	<i>Obdelava</i> +simulacija	150	
	<i>Pomnilnik</i> +simulacija	20	
	Simulacija skupaj	40	
	Nalaganje programa na FPGA, prvo testiranje in iskanje pravilne meje za proženje alarma	30	
Hardware	Predelava sheme in tiskanine	20	
Priprava dokumentacije		20	
		330 ur	=skupaj

Table 2 Časovni plan

5.2 FINANČNI PLAN

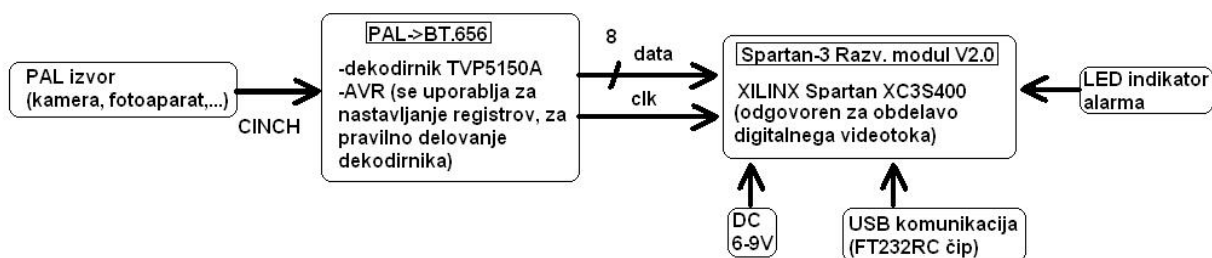
ELEMENTI	CENA v € (www.farnell.com)	
Spartan-3 razv. Modul V2.0		
XILINX- XC3S400-(TQFP ohišje, 144 pinov)	31.15	
FT232RL (USB to UART)	4.61	
Breg USB konektor	1.46	
VideoVGA modul		
ATTINY26L-8SU (AVR)	4.63	
TVP5150A (A/D pretvornik)	11.88	
cinch	0.85	
Ostali elementi(regulatorji, oscilatorji,diode,R,C,L...)	cca 30	
Ohišje	8	
Izdelava tiskanine	/	
	95€	=skupaj

Table 3 Finančni plan

6 ZASNOVA NAPRAVE

6.1 BLOK SHEMA NAPRAVE

Naprava je sestavljena iz dveh tiskanih vezij, ki sta med seboj povezani s konektorji. To sta Spartan-3, Razvojni Modul 2.0 in pa VideoVGA modul .



Slika 1 Blok shema naprave

PAL->BT.656 modul poskrbi za pretvorbo analognega video PAL (Phase Alternating Line) signala v digitalni videotok po standardu ITU-R BT.656. »Srce« tega modula je 32 pinski dekodirnik TVP5150A v TQFP ohišju. To je univerzalni 8 bitni NTSC/PAL/SECAM dekodirnik z majhno porabo moči, ki pa s privzetimi nastavitvami na izhodu ne daje željenega signala. Za osnoven(pravilen) način delovanja je potrebno pravilno nastaviti registre. Minimalne spremembe registrov, ki so potrebne za večino aplikacij vključno z našo, so zapisane v tabeli 4. Za pravilno inicializacijo registrov poskrbi AVR procesor, ki je po I2C protokolu preko pinov SDA in SCL povezan z dekoderjem.

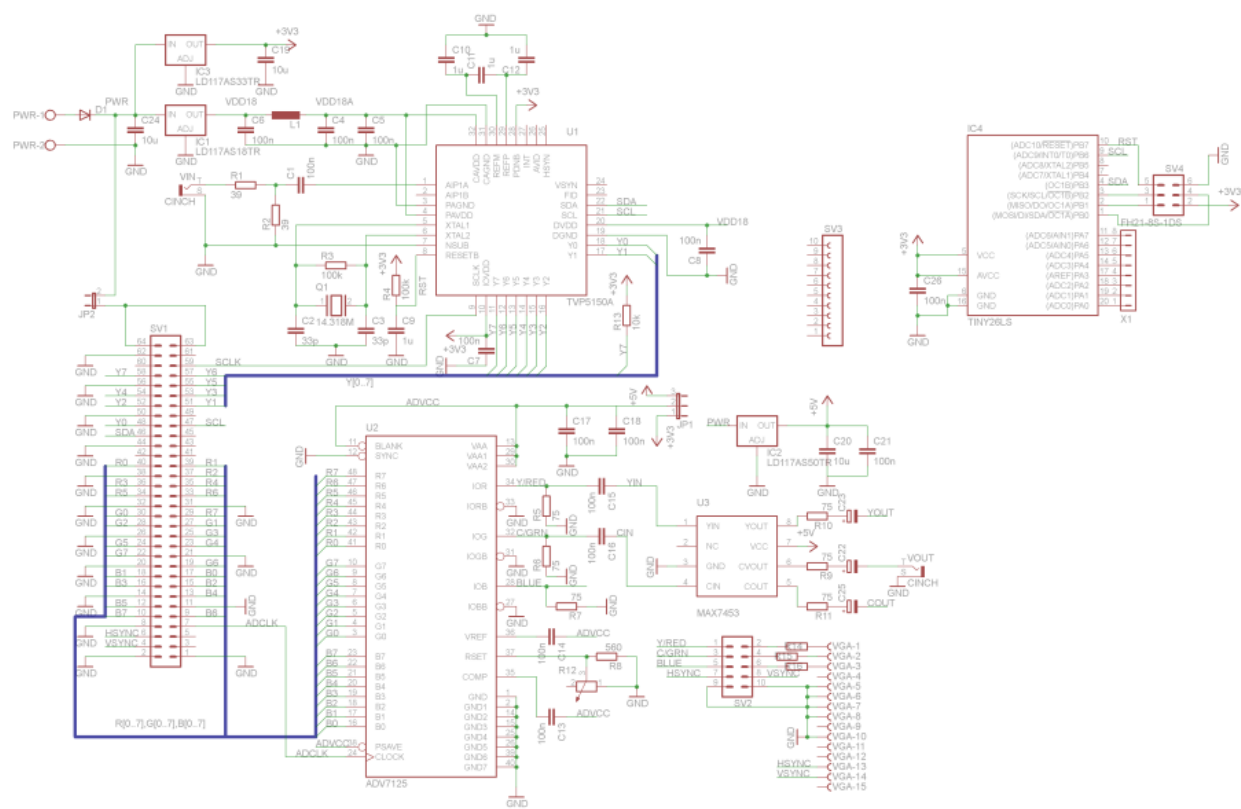
Address	Data	Note
0x03	0x29	YUV output enable, GPCL output enable
0x0F	0x0A	Pin 27 is GPCL (for controlling external analog switch)

Table 4 Naslovi in vrednosti registrov, ki jih je potrebno nastaviti za pravilno delovanje TVP5150A

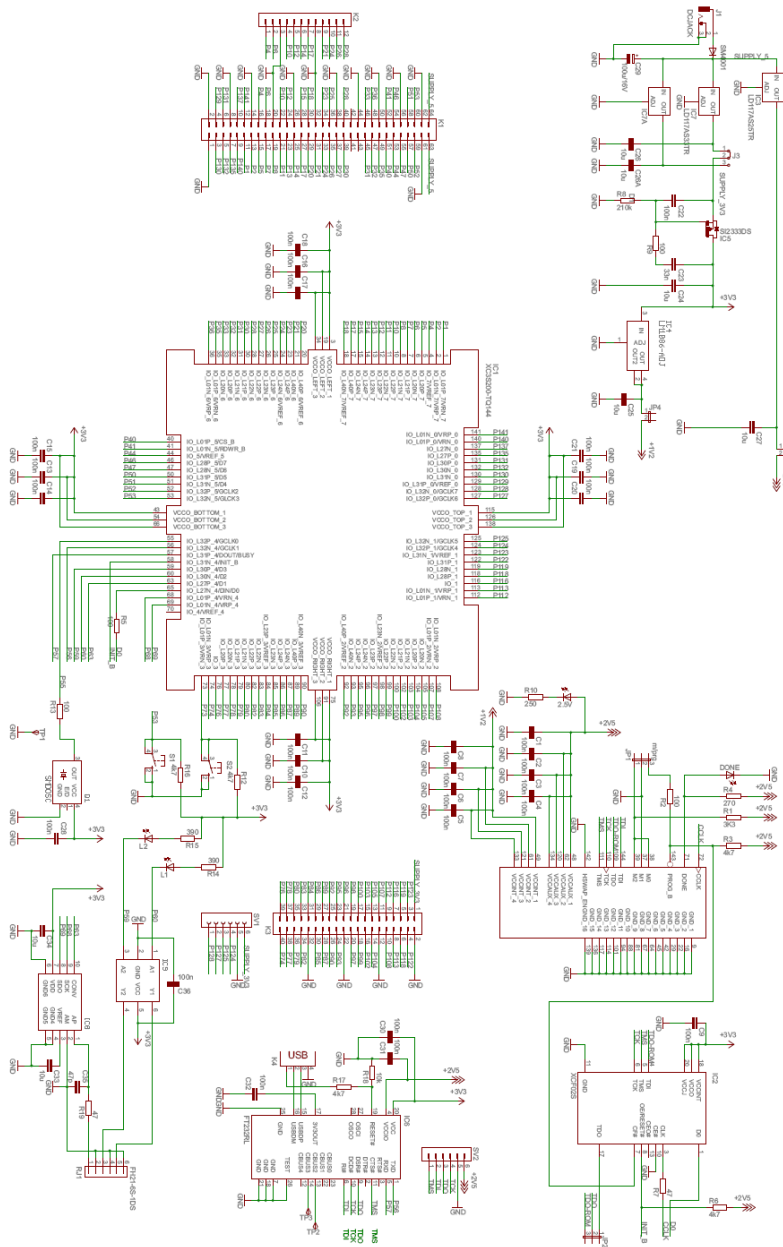
Spartan-3 Razv.modul V2.0 je odgovoren za obdelavo digitalnega videotoka. »Srce« modula in celotne naprave predstavlja FPGA. Ta si shrani vrednosti posameznih pikslov. Algoritem na podlagi primerjave novih in starih podatkov o pikslih tvori rezultat, ki pri določeni vrednosti proži alarm. Opis in funkcijo posameznih procesov programa so opisani v nadaljevanju.

6.2 ELEKTRIČNA SHEMA

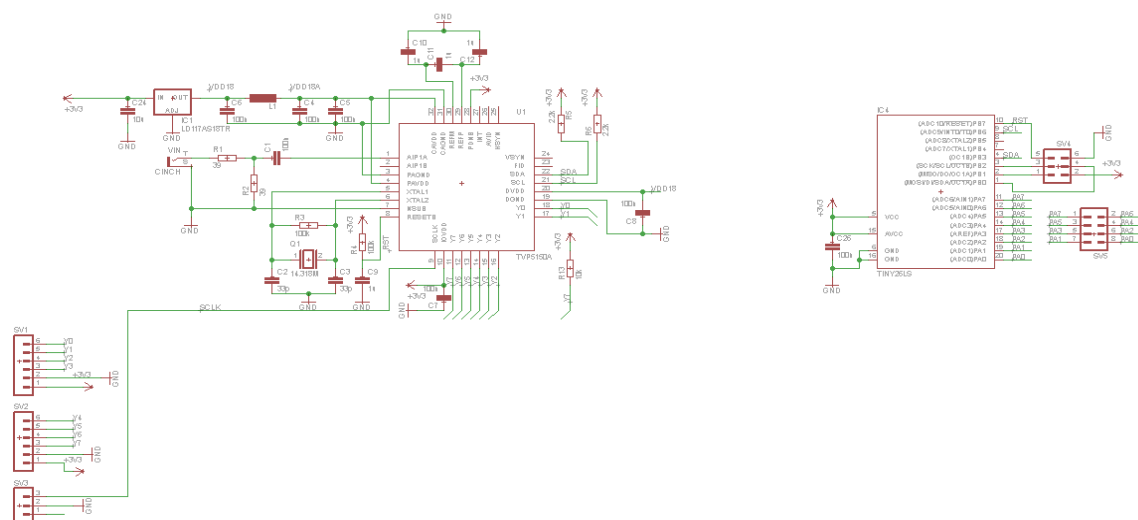
Električna shema naprave je prikazana na treh slikah. Na sliki2 in sliki 3 sta prikazane električne sheme obstoječih razvojnih modulov. Na sliki4 pa je prikazana električna shema video vmesnika po predelavi. V nadaljevanju je pod sliko5 prikazana še slika tiskanine predelanega modula z imenom PAL->BT656.



Slika2 Električna shema VideoVGA modula pred predelavo

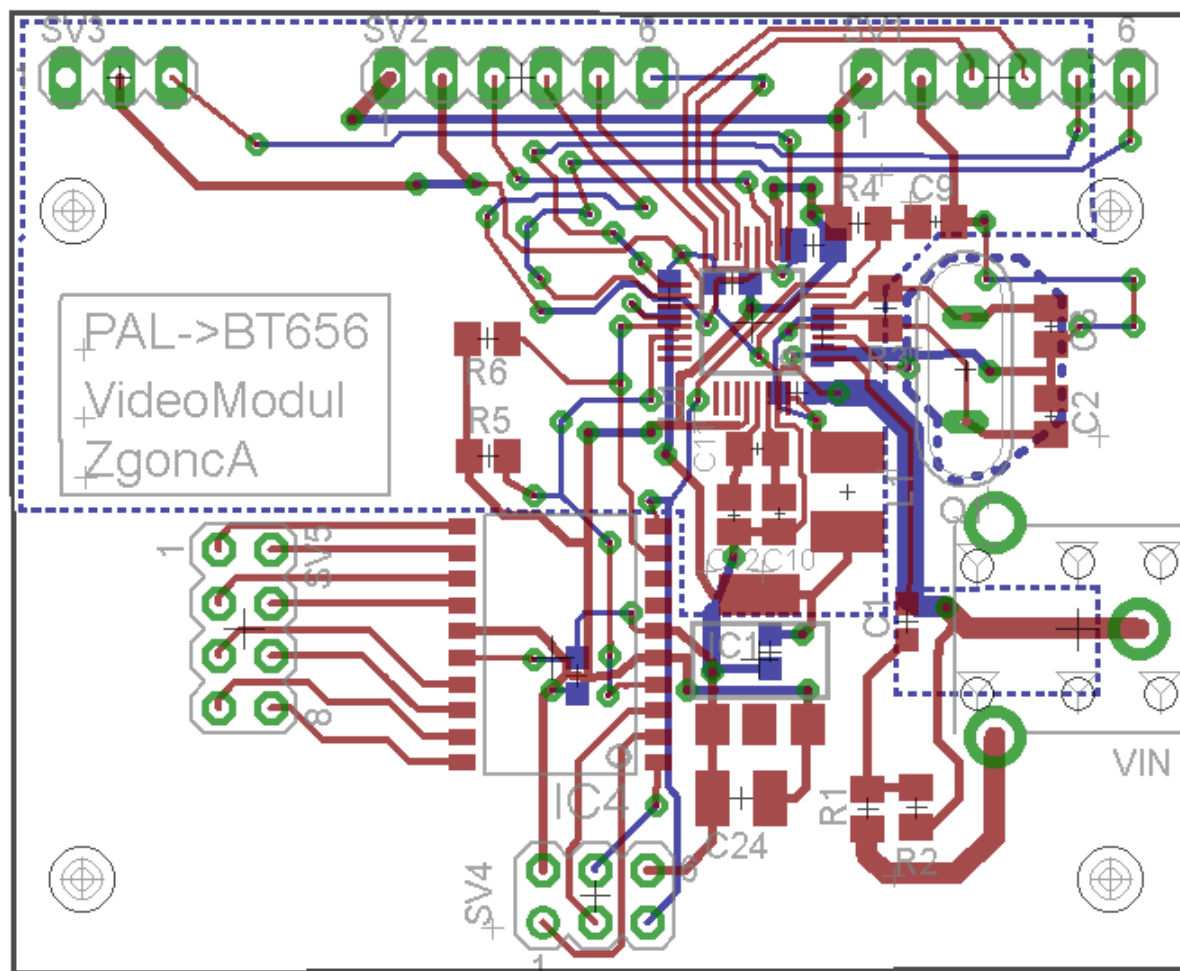


Slika3 Električna shema razvojnog modula Spartan-3 V2.0



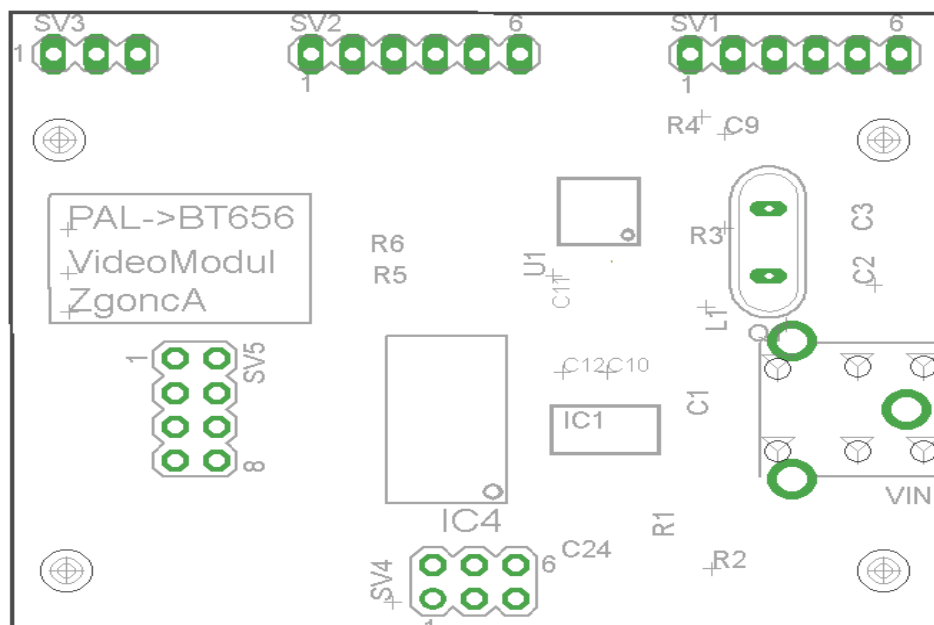
Slika4 Električna shema video vmesnika (PAL->BT656) s popravki

6.3 NAČRT TISKANEGA VEZJA

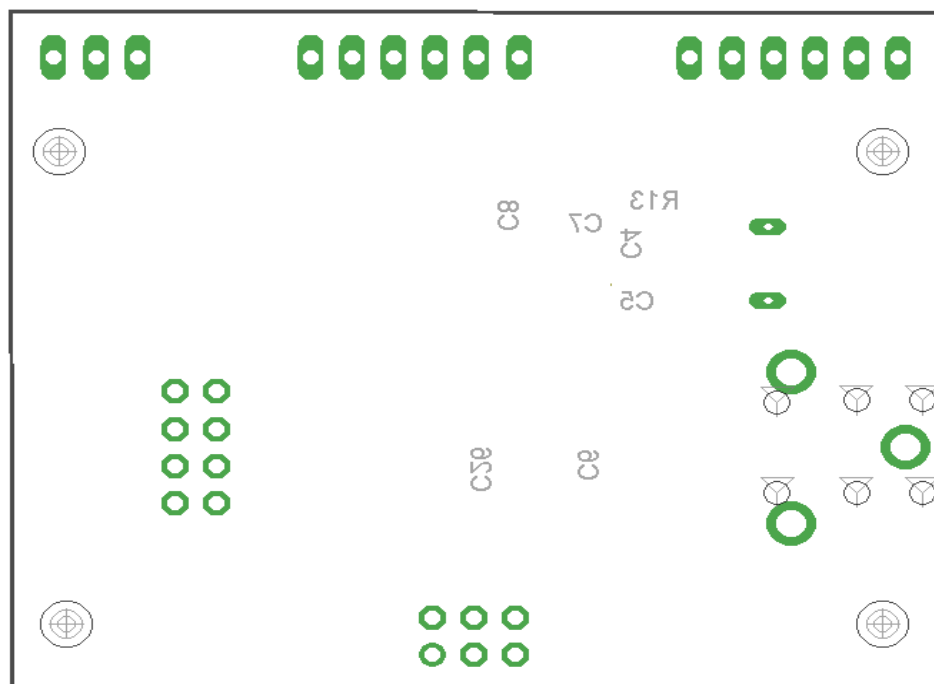


Slika5 Tiskano vezje PAL->BT656

6.4 MONTAŽA ELEMENTOV



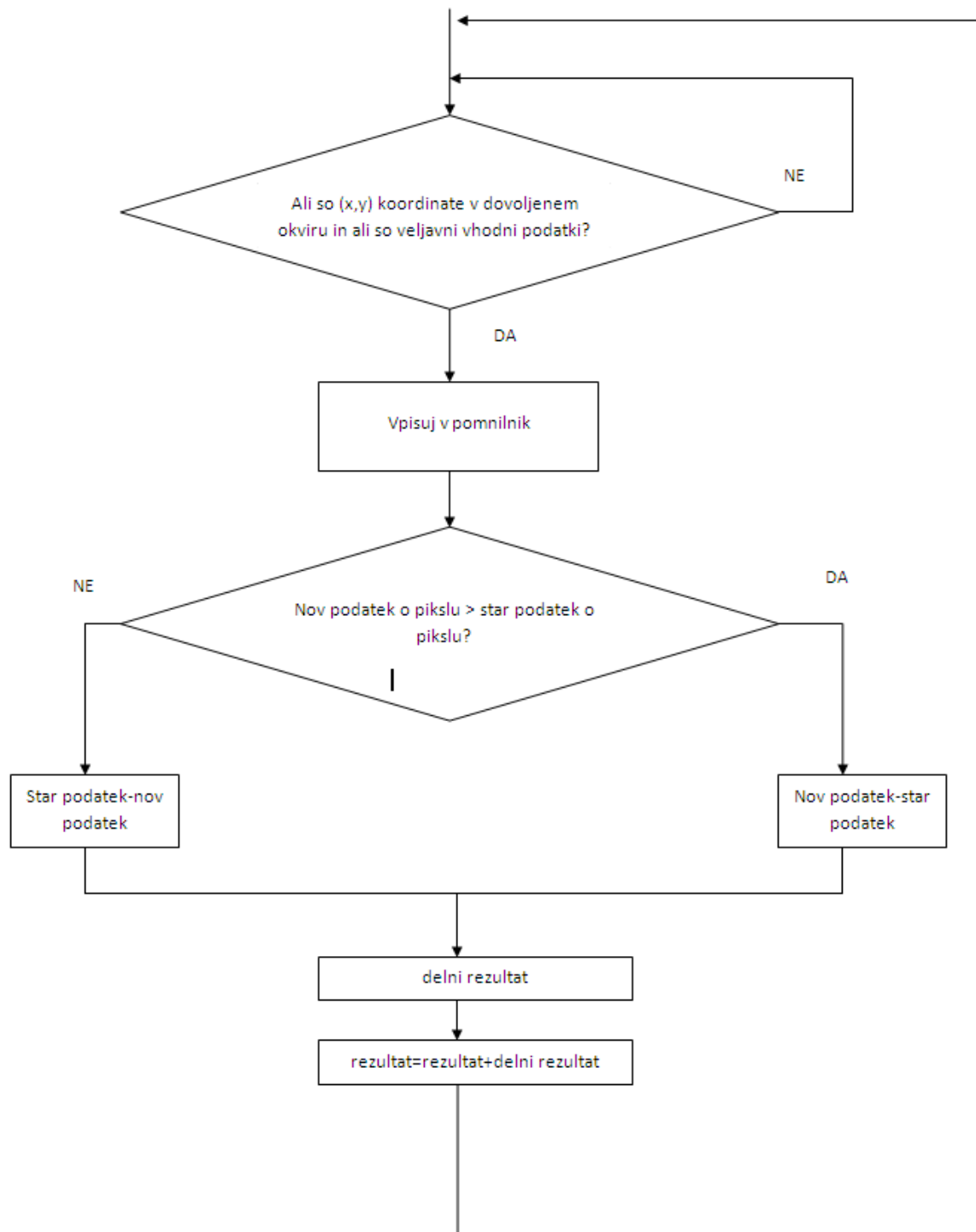
Slika 6 Montažni načrt zgornjega dela vezja PAL-> BT656

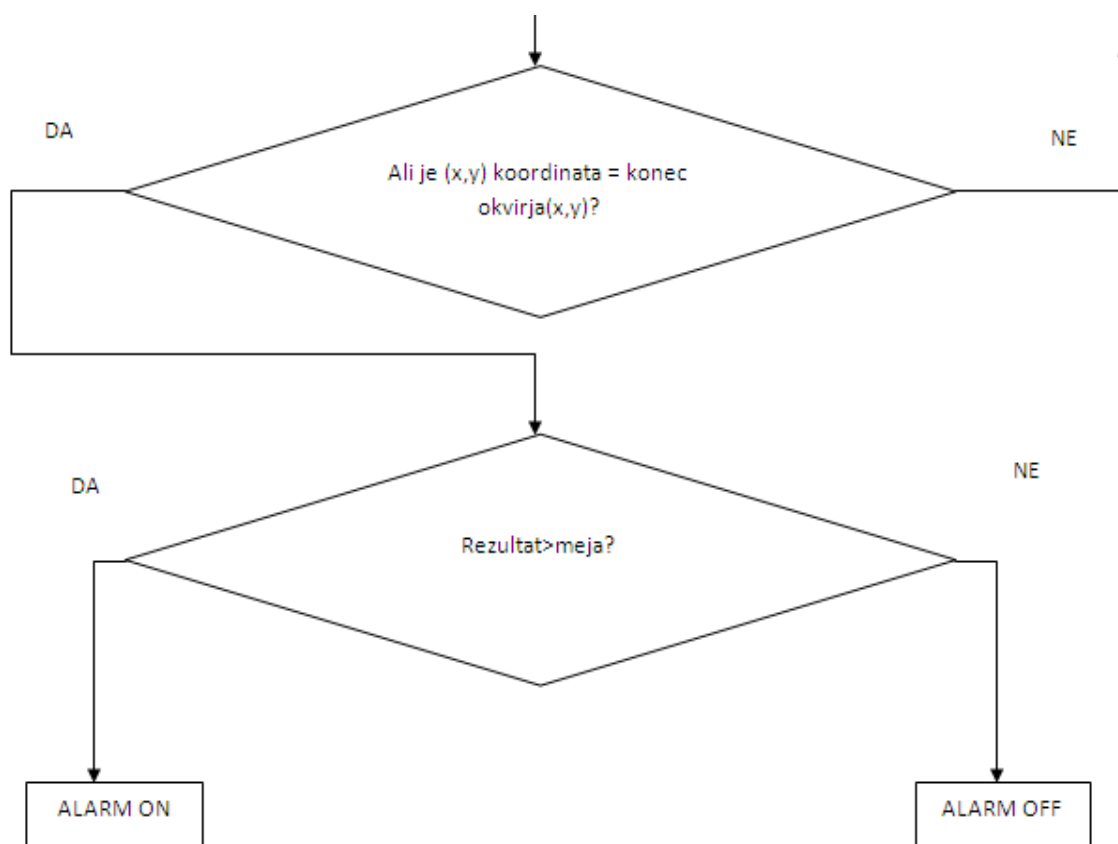


Slika 7 Montažni načrt spodnjega dela vezja PAL-> BT656

6.5 ZGRADBA PROGRAMA

Zgradbo programa sem zaradi lažjega načrtovanja in testiranja razdelil na tri module, ki so na koncu povezani v modulu povezava. Slika8 spodaj, predstavlja površen prerez delovanja programa.



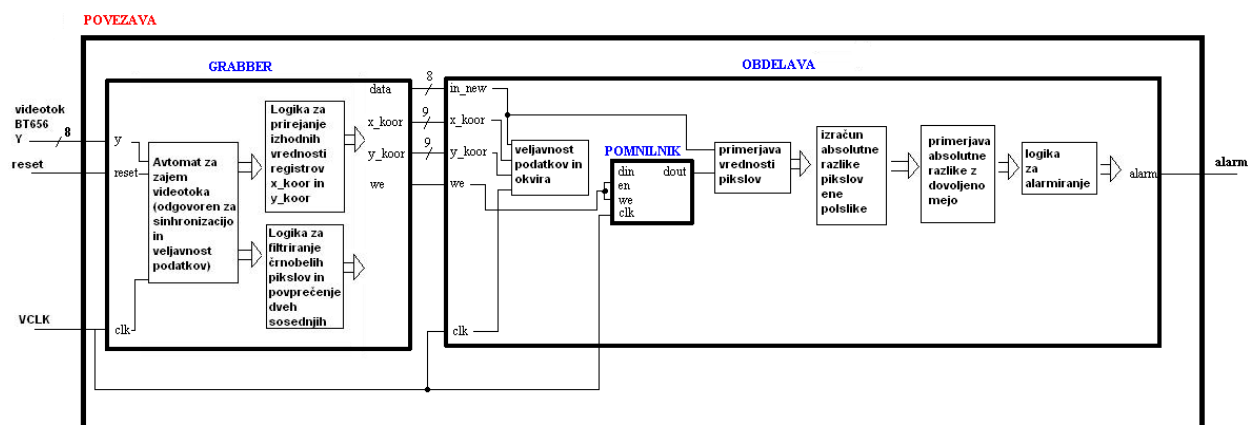


Slika 8 Grafični prikaz delovanja programa

7 OPIS VHDL MODULOV

V nadaljevanju so v treh podpoglavjih nekoliko bolj podrobneje opisani vsi trije moduli. Programiranje je potekalo v opisnem jeziku VHDL. Program sem zaradi lažjega testiranja in nadgradnje razdelil na tri osnovne module, ki sem jih na koncu povezal v modul povezava. Delovanje vsakega modula, sem pred vključitvijo v skupni modul povezava, preizkusil v simulatorju. V novejših verzijah Xilinx ISE je simulator že vgrajen v celoten programski paket Xilinx, tako da dodatna namestitev simulatorja ni potrebna. Uporabljal sem verzijo Xilinx ISE 12.4, ki je dostopna na uradni spletni strani proizvajalca, in je brezplačna.

- **Povezava**
 - **Grabber**
 - **Obdelava**
 - **Pomnilnik**



Slika 9 blok shema VHDL modulov

7.1 GRABBER

Modul Grabber vsebuje avtomat za zajem videotoka. Njegova funkcija je da iz digitalnega toka podatkov po standardu ITU-R BT.656 »izseje« tok podatkov, ki ga nato potrebujemo za nadaljne izračune. V mojem primeru s pomočjo avtomata iz digitalnega videotoka izsejemo samo črno bele piksele. Na vhod grabberja prihaja torej iz dekodirnika TVP5150A 8 bitni digitalni videotok, ki je sestavljen iz sinhronizacijskega in podatkovnega dela, in ura frekvenca 27MHz. Ob vsakem urinem impulzu pride nov 8 bitni podatek. Ena vrstica 8 bitnega digitalnega videotoka traja 1728 period. Sestavljena je iz štirih delov: EAV(4), blanking(280), SAV(4) in Active Video Data(1440).

EAV	BLANKING	SAV	Active Video Data
-----	----------	-----	-------------------

Slika 10 Ena vrstica je sestavljena iz štirih delov

Slika 13 Opis zadnjih osmih bitov sinhronizacijskega bloka

P0=V	H
P1=F	H
P2=F	V
P3=F	V H

Slika 14 Računanje varnostnih bitov

Ob vsakem vhodnem podatku, ki je enak FFh se avtomat postavi v začetno stanje in čaka na naslednji 8 bitni podatek. Kombinaciji FFh, 00h, 00h sledi 8 bitov, od katerih so F, V in H najpomembnejši. V VHDL modulu sta prisotna dva števec, ki se spreminjata glede na vrednosti bitov F, V in H. Vrednosti bitov vplivajo na spreminjanje/povečanje x_koor in y_koor, ki sta hkrati izhodna podatka modula grabber. Poleg izhodnih kordinat sta v modulu grabber prisotna še dva procesa, ki poskrbita za izločitev in povprečenje dveh sosednjih črnobelih pikslov v register data, ki prav tako predstavlja izhod iz modula grabber. Dobili smo modul, ki ima na izhodu 8 bitni podatek z imenom »data« in indikacijo veljavnosti podatka, ki je označeno z »we«. Lokacija »data« na sliki je podana s spremenljivkama »x_koor« in »y_koor«, ki sta ključni za nadaljno obdelavo videotoka v naslednjem modulu obdelava.

7.2 OBDELAVA

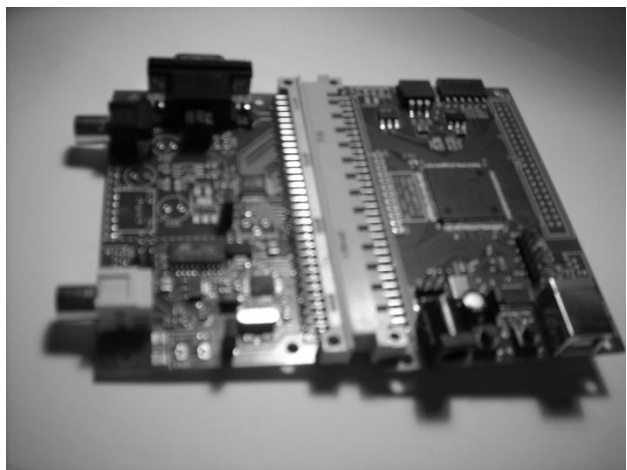
VHDL modul obdelava poskrbi za primerjavo 8 bitnih vrednosti pikslov. Na vhod v modul obdelava pripeljemo iz grabberja 8 bitni podatek, ki smo ga v modulu grabber že zračunali iz dveh medsebojnih črnobelih pikslov, s čimer smo zmanjšali natančnost računanja v x smeri, predvsem zaradi omejitve pomnilniškega prostora. Za primerjavo med starim in novim podatkom o pikslu potrebujemo pomnilnik. Vanj vpišemo novo vrednost piksla, staro vrednost pa prepišemo v register. Zračunamo absolutno razliko med novim in starim podatkom o pikslu. Postopek ponovimo za celoten okvir. Sproti seštevamo vrednosti delnih absolutnih razlik. Ko preletimo celoten okvir primerjamo zračunano vsoto vseh absolutnih razlik z neko, v naprej nastavljeno smiselno mejo. Če rezultat odstopa od meje prižgemo alarm, ki javlja, da je prišlo do razlik med dvema zaporednima slikama.

7.3 POMNILNIK

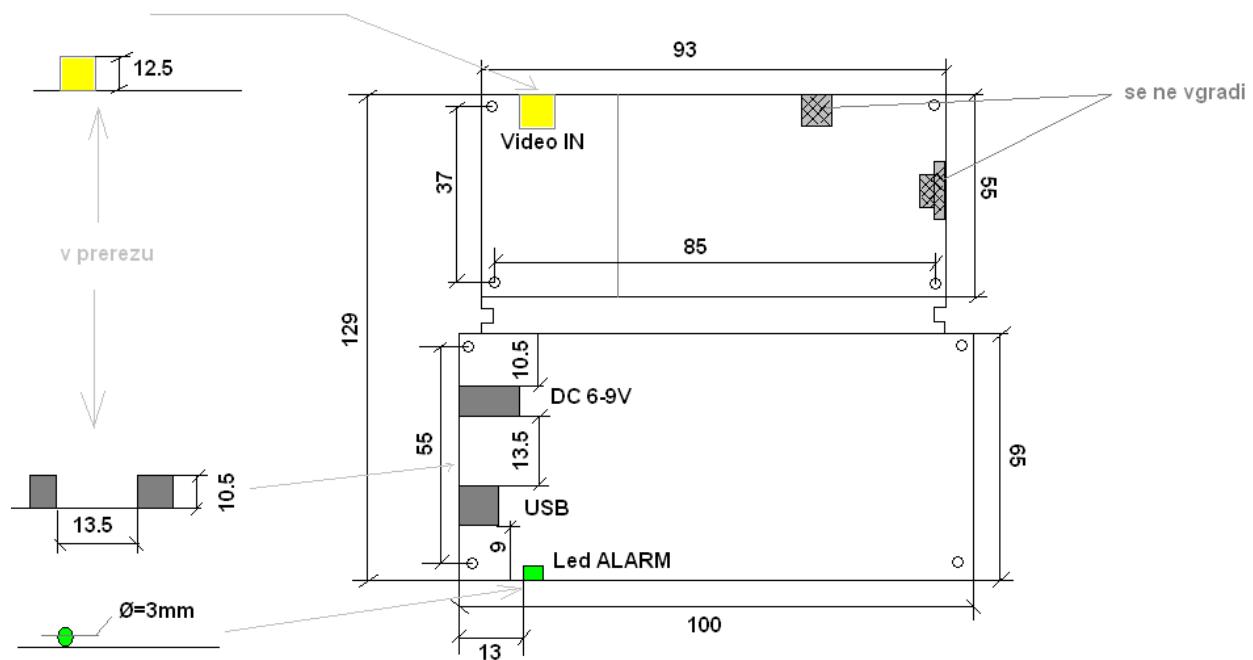
Pred izbiro in vpisom v pomnilnik se moramo odločiti za velikost okvirja. FPGA Xilinx XC3S400 ima na voljo 288kilobitov blokovnega pomnilnika, kar zadostuje za 36KB podatkov. Ugotovil sem da omenjeni pomnilnik zadostuje za neko malo standardno velikost okvirja 128x220, kar znese potrebo po 28160B velikem pomnilniku. Za generiranje pomnilnika nism uporabil Xilinxovega generatorja za pomnilnik, ampak sem naredil svoj pomnilnik, ki sem mu definiral 4 vhodne (clk, we, en, din) in 1 izhoden signal (dout). Namesto neposrednega naslavljanja preko »x_koor« in »y_koor« sem uporabil števec, ki šteje od 0 do 28159. Pogoji za vpis v pomnilnik je signal »en«, ki sem ga generiral v modulu obdelava. Signal »en« se postavi na '1' ob pogoju, da se nahajamo znotraj željenega okvirja. Pomnilnik je vključen v modul obdelava. Vpis in branje sta pogojena z signalom »en«.

8 KONSTRUKCIJSKI NAČRT (ohišje)

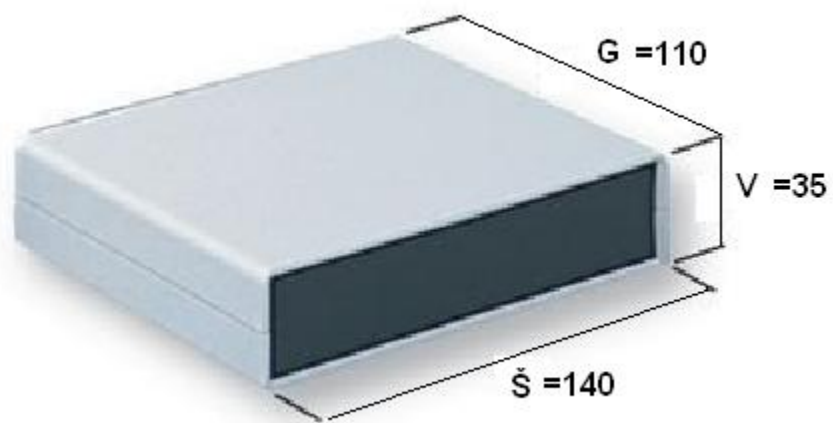
Slika 14 prikazuje dimenzije končnega vezja, ki ga je potrebno vgraditi v ohišje. Pri iskanju ohišja za video alarm sem poskušal najti ohišje, ki bo lahko in ravno dovolj veliko, tako da ni prevelike izgube prostora. Zunanje mere tiskanine (slika16) so 129x100mm. Pri vseh kompromisih sem ugotovil, da se da celotno vezje vgraditi v ohišje dimenzij **140 x 110 x 35mm** (Š x V x G) . Ohišje je od proizvajalca VELLEMAN z oznako G738. Cena ohišja se giblje med 7-8€ odvisno od vrste nakupa. Ohišje je prikazano pod sliko17.



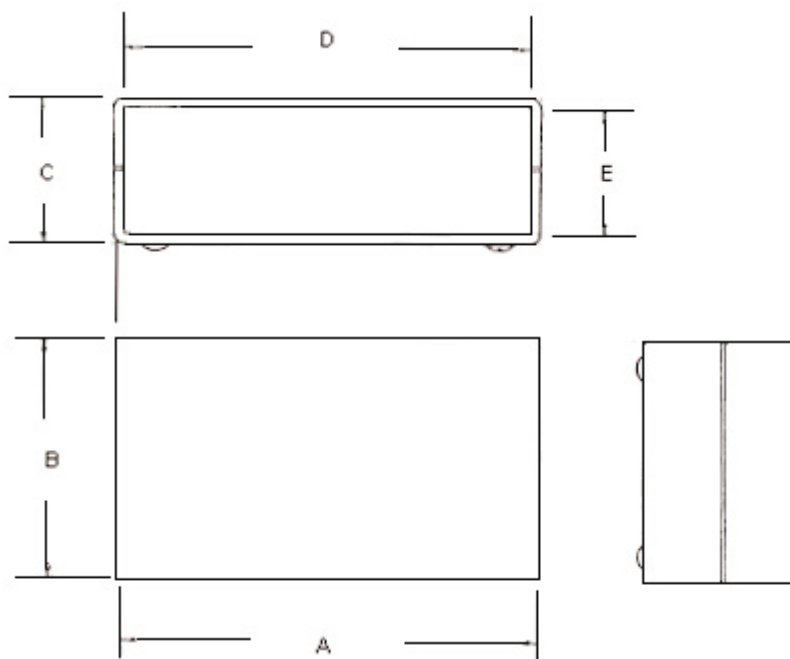
Slika 15 Razvojna modula povezana preko konektorja



Slika 16 Velikost vezja, ki ga nameravamo vgraditi



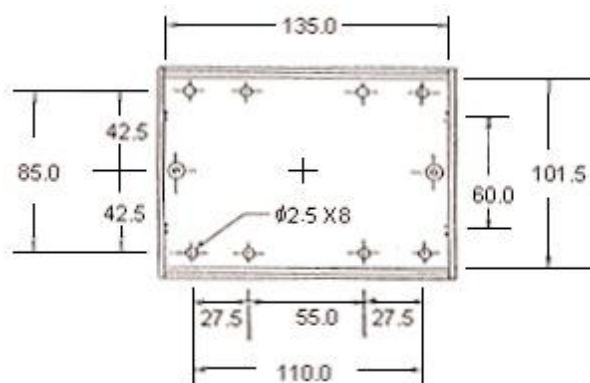
Slika 17 Priporočeno ohišje za vgradnjo



Slika 18 Oznake predvidenega ohišja

A	B	C	D	E	Part Number
140.0	110.0	35.0	131.0	28.0	G738

Table 5 Dimenzije predvidenega ohišja



Slika 19 Pozicije v naprej pripravljenih lukenj za pritrditev tiskanine v ohišje

Opozoriti je potrebno, da se v naprej pripravljene izvrtane luknje ne ujemajo z predlogo v ohišju, zato je pri vgradnji/pritrditvi tiskanine v ohišje, potrebna manjša improvizacija. Ena od možnosti je toplotno lepilo. Ohišje je iz ABS materiala.

9 KOSOVNICA

Cene za elemente so povzete po spletnih trgovinah Farnell, IC elektronika in Conrad.

9.1 KOSOVNICA ZA PAL->BT656 vezje

ref. oznaka	vrednost	ime	ohišje	št.	proizvajalec	cena@kosov
C1,C4,C5,C6, C7, C8, C26	100n	kondenzator	SMD 0603	7	phycomp	0.04€
C2, C3	33p	kondenzator	SMD 0805	2	yageo	0.07€
C9, C10, C11, C12	1u	kondenzator	SMD 0805	4	yageo	0.07€
C24	10u	kondenzator	SMD 1210	1	yamaichi	0.23€
IC1		LD117AS18TR	SOT223	1	/	/
IC4		TINY26LS	SOIC	1	atmel	4.63€
L1	1R0K	tuljava	L1812	1	Vishay Dale	0.64€
Q1	14.318M	kristal	QS	1	/	1.45€
R1, R2	39	Upor	SMD 0805	2	yaego	0.03€
R3, R4	100k	Upor	SMD 0805	2	yaego	0.03€
R5, R6	2.2k	Upor	SMD 0805	2	yaego	0.03€
R13	10k	Upor	SMD 0805	1	yaego	0.03€
SV1,SV2		Konektor	MA06-1	2	/	/
SV3		Konektor	MA03-1	1	/	/
SV4		Konektor	MA03-2	1	/	/
SV5		konektor	MA04-2	1	/	/
U1		TVP5150A	TQFP	1	Texas Instruments	11.88€
VIN	CINCH	CINCH	RC-37	1	/	0.85€

Table 6 Kosovnica za PAL->BT656 vezje

9.2 KOSOVNICA ZA Spartan-3 razvojni modul V2.0

ref. oznaka	vrednost	ime	ohišje	št.	proizvajalec	cena@kosov
C1.....C22	100n	kondenzator	SMD 0603	22	phycomp	0.04€
C23	33n	Kondenzator	SMD 0805	1	phycomp	0.07€
C24.....C27	10u	Kondenzator	SMD 1210	4	yamaichi	0.23€
C28, C30, C31, C32	100n	Kondenzator	SMD 0603	4	phycomp	0.04€
C29	100uF/16V	kondenator	Through Hole	1	yageo	0.09€
R1	3k3	upor	SMD 0805	1		

R2, R5, R9, R13	100	Upor	SMD 0805	4	yaego	0.03€
R3, R6, R12, R16, R17	4k7	Upor	SMD 0805	5	yaego	0.03€
R4, R10	270	Upor	SMD 0805	2	yaego	0.03€
R7, R19	47	Upor	SMD 0805	2	yaego	0.03€
R8	220k	Upor	SMD 0805	1	yaego	0.03€
R15	390	Upor	SMD 0805	1	yaego	0.03€
R18	10k	Upor	SMD 0805	1	yaego	0.03€
<u>R11, R11P</u>	<u>2K2</u>	Upor	SMD 0805	2	yaego	0.03€
<u>R12</u>	<u>1K</u>	upor	SMD 0805	1	yaego	0.03€
D1	SM4001	Dioda	MELF-MLL41	1	semikron	0.09€
2.5V	RED	Led	SMD 0805	1	kingbright	0.17€
DONE	GREEN	Led	SMD 0805	1	kingbright	0.18€
L1	YELLOW	Led	SMD 0805	1	kingbright	0.18€
L2	YELLOW	led	SMD 0805	1	kingbright	0.18€
IC1	XC3S400-TQ144	FPGA	TQFP144	1	XILINX	31.15€
IC2	XCF02S	FLASH PROM	TSSOP20	1	/	/
<u>IC3</u>	<u>LT1764A</u>	<u>Voltage reg. Adj (2.5V)</u>	<u>Q5-DD</u>	<u>1</u>	<u>/</u>	<u>/</u>
IC3	LD117AS25TR	Voltage reg. fixed (2.5V)	SOT223	1		
IC4	LM1086CS-ADJ	Voltage reg. Adj (1.25V)	T0263	1	National semiconduct-or	2.51€
IC5	SI-2333DS	transistor	SOT23	1	Vishay siliconix	0.61€
IC6	FT232RL	USB serial converter	SSOP28	1	FTDI	4.61€
<u>IC7</u>	<u>LM1086CT-3.3</u>	<u>Voltage reg. fixed (3.3V)</u>	317TS	1	National semiconduct-or	2.76€
IC7	LD117AS33TR	Voltage reg. fixed (3.3V)	SOT223	1	STMICROELE-CTRONICS	1.12€
Q1	QG5460	CRYSTAL RESONATOR 3.3	DIL08S	1	lqd frequency products	2.46€
J1	DCJ0202	DC POWER JACK	DCJ0202	1	switchcraft	1.14€
JP1	Jtag/prom JP1E	JUMPER	3 pin	1	/	/
JP2	JP2E	JUMPER	3 pin	1	/	/
<u>JP3</u>	<u>JP3QE</u>	<u>JUMPER</u>	<u>2 x 3 pin</u>	1	/	/
<u>JP4</u>	<u>JP2E</u>	<u>JUMPER</u>	<u>JP2</u>	1	/	/
J3	JP3QE	PREVEZAVA	Prevezava1-2	1	/	/
JP4	JP2E	PREVEZAVA	Prevezava	1	/	/

JP5	J2X2MM	PREVEZAVA	Prevezava	1	/	/
K1	ML64JP1E	HARTING	2x32pin	1	/	/
K2	MA06-2	PIN HEADER	2x6pin	1	/	/
K2	MA12-1	PIN HEADER	12 pin	1	/	/
K3	ML40	HARTING	2x20pin	1		
K4	PN61729	Breg USB connector	PN61792	1	FCI	1.46€
PROG	10-XX	OMRON-SWITCH	B3F-10XX		/	/
S1	10-XX	OMRON-SWITCH	B3F-10XX		/	/
S2	10-XX	OMRON-SWITCH	B3F-10XX		/	/
DODATNI ELEMENTI ZA VER V2.0						
C33, C34	10u	Kondenzator	SMD 0805	1	yamaichi	0.23€
C35	47p	Kondenzator	SMD 0603	1	phycomp	0.05€
C36	100n	kondenzator	SMD 0603	1	phycomp	0.04€
IC7A		Voltage regulator	317TS	1	/	/
IC8	LTC2355		SOP	1	Linear Technology	18.18€
IC9	NL27WZ04		TSOP-6	1	Semi-conductor	0.42€
RJ1	FH21-6S-1DS	FCC connector	RJ6-6	1	/	0.7€
SV1	FE06W	Female header	6 pin	1	/	/
SV2	MA06-1	Pin header	6 pin	1	/	/

Table 7 Kosovnica za Spartan-3 razvojni modul V2.0

10 MERILNI POSTOPKI

Naprava potrebuje pred prvo uporabo umerjanje. Nastaviti je potrebno smiselno mejo, pri kateri se alarm ne bo prožil zaradi nekkih motenj/šumov kamere. Umerjanje lahko poteka v realnem času. Zaradi ponovljivosti testa pa sem si vnaprej pripravi posnetek, ki sem ga nato predvajal video alarmu in opazoval odziv. Pri vnaprej pripravljenih scenah lahko tudi testiramo vpliv okvira, ki proži alarm. Uporabljeni FPGA Xilinx XC3S400 ima 288 kilobitov blokovnega pomnilnika, kar znes 36kB pomnilnega prostora. Ugotovil sem da omejeni pomnilnik zadostuje okviru velikosti 128 x 220 pikslov, kar znes 28160 pomnilniških loacij.

11 TEHNIČNE SPECIFIKACIJE

Parameter	Vrednost
Obratovalna napetost	DC 6-9V
Mere	140 x 110 x 35 mm
Teža	75g brez ohišja
Pogoji delovanja	Stestirano pri sobni temperaturi (18-23)°C
CINCH konektor Video IN	Po standardu PAL (Phase Alternating Line)
Konektor USB serial	Servisni kanal

Table 8 Tehnične specifikacije

12 NAVODILA ZA UPORABO

12.1 VARNOSTNI NAPOTKI

Pred začetkom obratovanja preberite celotno navodilo, ker le to vsebuje pomembne napotke za pravilno delovanje in razumevanje naprave. Napravo namestite v suh prostor, kjer naj ne bo izpostavljena udarcem, prahu in drugim mehanskim nevarnostim.

12.2 NAMEN UPORABE

Naprava tihi video alarm je namenjena za varovanje nekega objekta. Njena prednost je, da se lahko predhodno sprogramira občutljivost in okvir, kjer se proži alarm.

12.3 PROGRAMIRANJE FPGA

Za nalaganje programa na FPGA potrebuješ datoteko s končnico **.bit**. Za generiranje te datoteke je potrebno v programu Xilinx ISE 12.4 pognati ukaz »Generate Programming File«. Ko imamo željeno datoteko **.bit** jo preko USB vmesnika s pomočjo posebnega programa **Jtag09** naložimo na FPGA modul. Pred prvo uporabo je potrebno namestiti gonilnike proizvajalca FTDI, ki jih najdemo na uradni spletni strani. Program **Jtag09** pa sem dobil pri prof. A. Trostu. Ko so gonilniki nameščeni in imamo zgenerirano datoteko **.bit** poženemo program Jtag09. Z ukazom »Browse« izberemo lokacijo, kjer se nahaja datoteka za namestitev programa na FPGA in pritisnemo komado Download. Po nekaj sekundah je postopek gotov in naprava deluje popredpisanem scenariju.

12.4 UPORABA

Vse kar je potrebno storiti pred prvo uporabo je to, da napravo dobro pritrdimo, poskrbimo za napajalni del in priklopimo generator PAL signala(kamera).

Trenutna izvedba je namenjena tihemu varovanju. Torej ko pride do vzroka za alarm se LED dioda na ohišju alarma obarva zeleno. V ta namen je generator PAL signala (preprosta kamera) in video alarm, na različnih lokacijah, npr. kamera nadzoruje hodnik, območje okoli okna,...in je povezana preko kabla v neko »nadzorno« sobo, kjer se nahaja naša naprava. LED indikator bi lahko v kakšne druge namene zamenjali tudi z zvočnim signalom, vendar za našo aplikacijo zadostuje tihi alarm.

13 ČASOVNA IN FINANČNA REKAPITULACIJA

Celoten razvoj naprave od zasnove do končnega izdelka vključno z dokumentacijo je trajal okoli 330ur. V ta čas niso všteti razvoj in risanje tiskanine Spartan-3 razvojnega modula. Stroški materiala so znašali okoli 95€. Najdražji element je FPGA XILINX XC3S400, ki stane 31.15€. Če k stroškom materiala prištejem še stroške razvoja se cena povzpne na 2075€. Pri stroških razvoja sem upošteval urno postavko študenta, bodočega inženirja elektrotehnike, ki znaša 6€. Če stroške razvoja razdelimo na večjo serijo npr. 1000 kosov, se strošek razvoja ene enote zmanjša na zanemarljivih 1.98€. Pri večji seriji se tudi cena naročenih elementov občutno zniža, tako da ocenjujem da je strošek ene enote pri seriji 1000 kosov nekje okoli 75€.

14 UPORABLJENI VIRI

- [1] A. Trost, S. Lapanja: *Testno okolje za razvoj vgrajenih naprav obdelave videosignala*, strokovni članek, <http://ev.fe.uni-lj.si/2-3-2010/Lapanja.pdf>
- [2] Spartan-3 FPGA Family Data Sheet, http://www.xilinx.com/support/documentation/data_sheets/ds099.pdf
- [3] A. Trost, *Video tehnologija*, zapiski predavanj, <http://lniv.fe.uni-lj.si/video-spec.html>
- [4] ITU-R BT.656 protocol, <http://altiumwiki.onconfluence.com/display/ADOH/ITU-R+BT.656+Protocol>
- [5] Intersil, BT.656 Video Interface for ICs, July 2002, <http://www.intersil.com/data/an/an9728.pdf>
- [6] Wikipedia, *PAL*, članek v spletni enciklopediji, <http://en.wikipedia.org/wiki/PAL>
- [7] S. Lapanja, *Generator PAL videosignala z vezjem FPGA*, diplomsko delo, Fakulteta za elektrotehniko Univerze v Ljubljani, 2008
- [8] A Brief Introduction to Digital Video, http://www.spacewire.co.uk/video_standard.html
- [9] Spartan-3 Razvojni modul, <http://lniv.fe.uni-lj.si/Spartan3Modul.html>
- [10] ISE WebPACK Design Software, <http://www.xilinx.com/products/design-tools/ise-design-suite/ise-webpack.htm>
- [11] F. Kopač, *Razvojni sistem za obelavo video signala s programirljivimi vezji*, magistrsko delo, Fakulteta za elektrotehniko Univerze v Ljubljani, 2005

15 PRILOŽENE DATOTEKE

- VideoModulpopravljen.sch
 - VideoModulpopravljen.brd
 - VideoModulpopravljen.cmp
 - VideoModulpopravljen.drd
 - VideoModulpopravljen.dri
 - VideoModulpopravljen.drl
 - VideoModulpopravljen.gpi
 - VideoModulpopravljen.plc
 - VideoModulpopravljen.stc
 - VideoModulpopravljen.sts
-
- VidealarmPredstavitev.ppt
 - **TihiVideoAlarm.pdf**
 - **VHDL izvorna koda-celoten projekt .rar**
 - **Povezava.bit**