

Multiboard

v1.0

Večnamensko razvojno vezje

UPORABNIŠKI PRIROČNIK



Jaka Ivančič
Luka Bogataj

Kazalo vsebine

1. Uvod.....	2
1.1 Namen vezja.....	2
1.2 Blok shema in opis funkcionalnosti.....	5
1.3 Časovni in finančni okvir.....	6
2. Hardware.....	7
2.1 FPGA.....	8
2.1.1 Video digitalno-analogni pretvornik.....	9
2.1.2 USB vmesnik.....	12
2.1.3 Analogna in digitalna pretvorba.....	13
2.2 ARM.....	16
2.2.1 Flash ROM.....	17
2.2.2 DAC.....	18
2.2.3 Tipke in LED diode.....	19
2.2.4 JTAG priključek.....	20
2.2.5 LCD prikllop.....	21
3. Nastavitve in programiranje.....	22
3.1 Programiranje FPGA.....	22
3.2 Programiranje ARM.....	24
3.2.1 JTAG.....	24
3.2.2 Serial Flash Loader.....	24
4. Opis napak.....	25
5. Napotki za gradnjo vezja.....	27
6. Zahvale.....	28
7. Priloge.....	29

1. Uvod

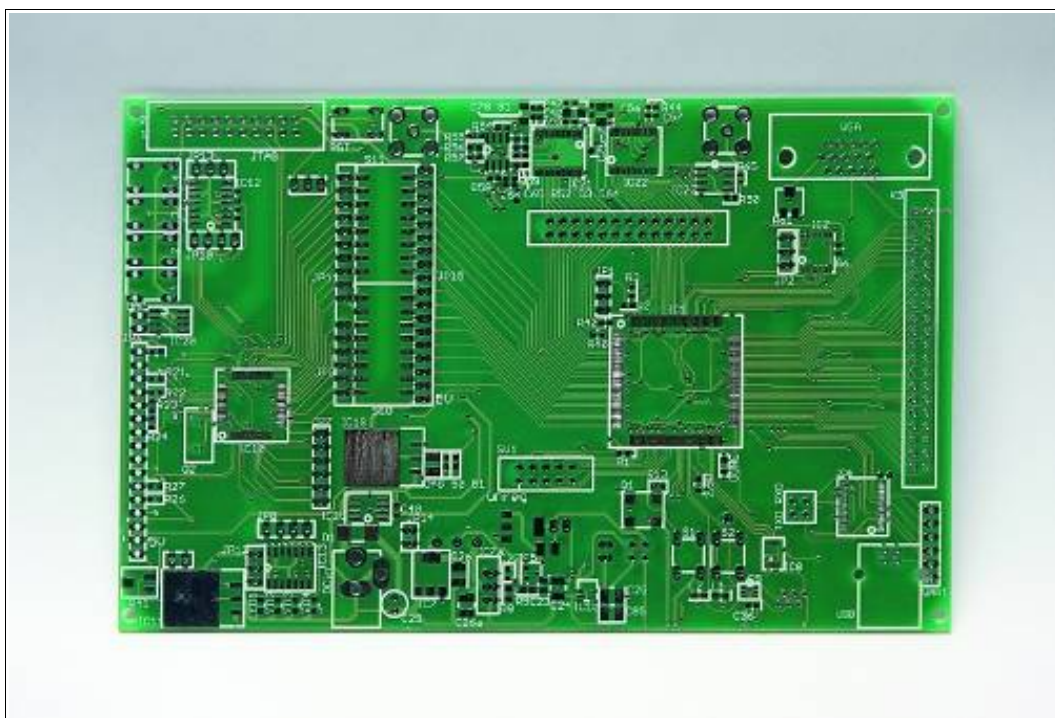
1.1 Namen vezja

Namen je bil izdelati večnamensko razvojno vezje za razumno ceno, ki bi vključevalo vse pomembnejše gradnike moderne elektronike. Poleg mikrokrmilnika se na tiskanini nahaja tudi FPGA oziroma *field programmable gate array*, ki je nepogrešljiv pri digitalni obdelavi signalov. Za ta namen so dodani tudi paralelni analogno-digitalni in digitalno-analogni pretvorniki, ki so povezani neposredno s FPGA-jem. Na razvojni plošči je vključen video digitalno-analogni pretvornik, uporaben za generiranje VGA signala. Čeprav danes VGA standard izpodrinjajo novejši digitalni standardi (npr. HDMI), pa bi se za implementacijo le teh potrebovalo zmogljivejši in dražji FPGA, kar ne ustreza proračunu tega projekta.

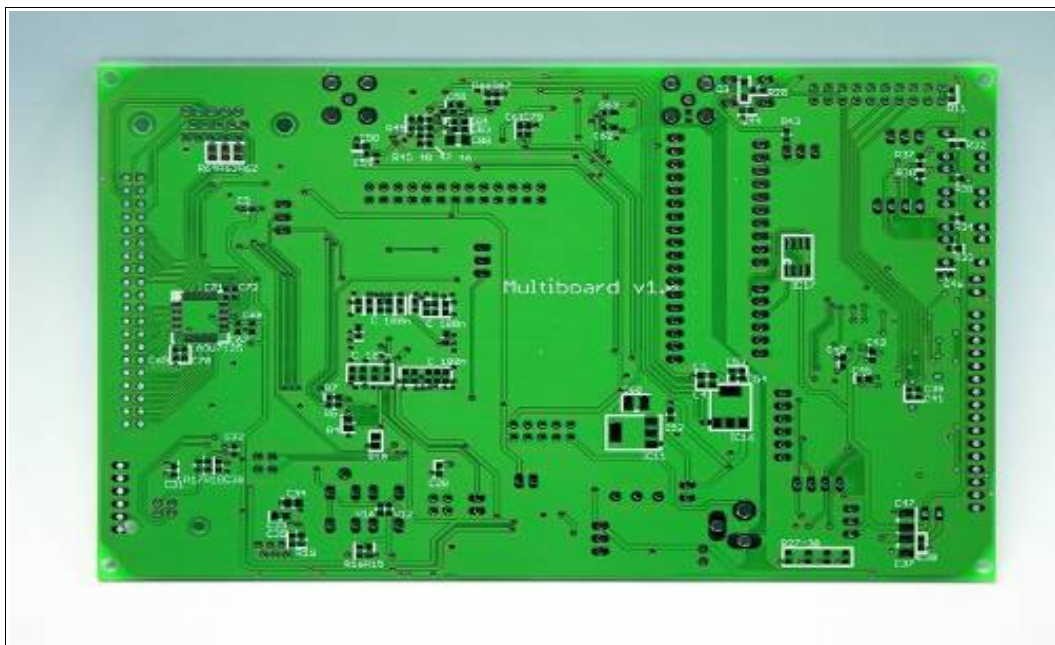
Za izhodišče načrtovanja vezja sta bili izbrani že preverjeni razvojni plošči, razviti na fakulteti. Ena od teh je bil Š-ARM, druga pa razvojna plošča s Xilinx Spartanom, razvita v *Laboratoriju za načrtovanje integriranih vezij (LNIV)*. Pri načrtovanju se je upoštevalo tudi programiranje integriranih vezij. FPGA je možno programirati s posebnim JTAG kablom, katerega cena je neprimerna, zato se je uporabil princip, ki ga je razvil Jurij Purkat v sklopu svoje diplomske naloge: programiranje preko serijskega vmesnika. Programiranje mikrokrmilnika zaradi univerzalnosti poteka preko JTAG priključka ali serijskega vmesnika.

Pomembna lastnost razvojne plošče je tudi bločna zgradba, ki nam omogoča, da nepotrebnega dela vezja enostavno ne prispajkamo in ga tako koristimo v druge namene. Video digitalno-analogni pretvornik naprimer potrebuje za delovanje preko 20 pinov FPGA-ja. Če VGA izhoda ne potrebujemo, potem video pretvornika in pripadajočega vezja ne prispajkamo in koristimo te pine za druge potrebe.

Slike profesionalno izdelanih tiskanin:

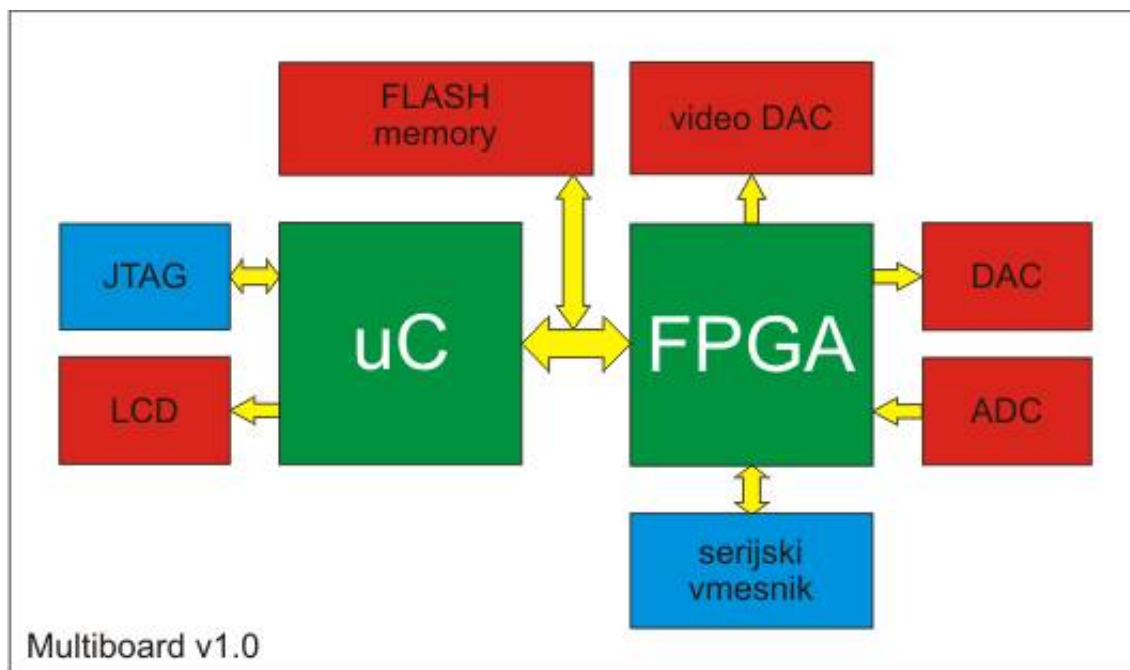


Zgornja stran tiskanine razvojne plošče Multiboard v1.0



Spodnja stran tiskanine razvojne plošče Multiboard v1.0

1.2 Blok shema in opis funkcionalnosti



Neposredno na FPGA sta priključena paralelni 10-bitni analogno-digitalni pretvornik in paralelni 12-bitni digitalno-analogni pretvornik ter 24-bitni video digitalno-analogni pretvornik. FPGA je fizično povezan z mikrokrmilnikom. Uporabimo lahko poljuben standard komuniciranja. Povezave je s stikali možno tudi ločiti. Program v fpga nalagamo preko usb vodila in programa na računalniku (©Jurij Purkat). FPGA ima dostop tudi do 512 kilobitnega flash pomnilnika.

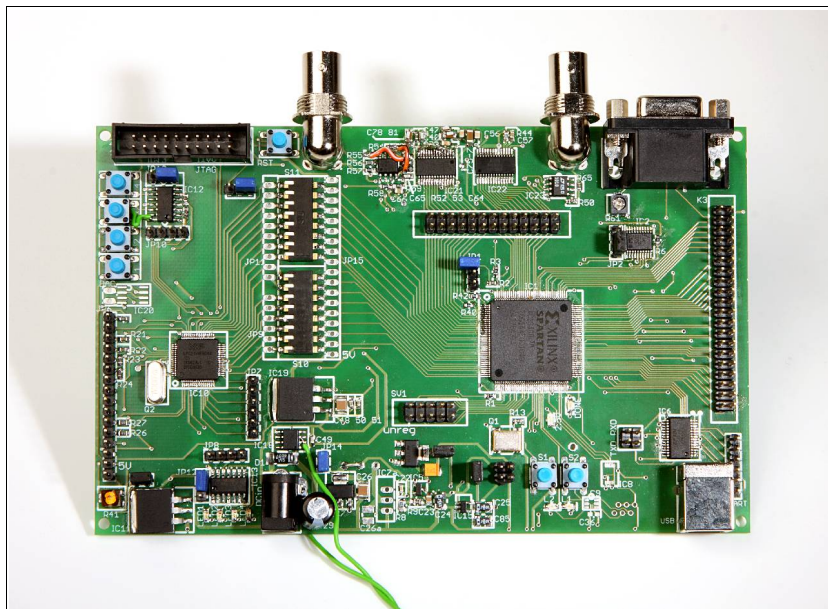
Mikrokrmilnik programiramo z JTAG priključkom ali prek serijskega vmesnika, katerega pa je potrebno na mikrokontroler povezati preko dodatne zunanje povezave (zato na blok shemi ni označena povezava med serijskim vmesnikom in mikrokrmilnikom). Mikrokontroler ima prav tako dostop do omenjenega flash pomnilnika.

1.3 Časovni in finančni okvir

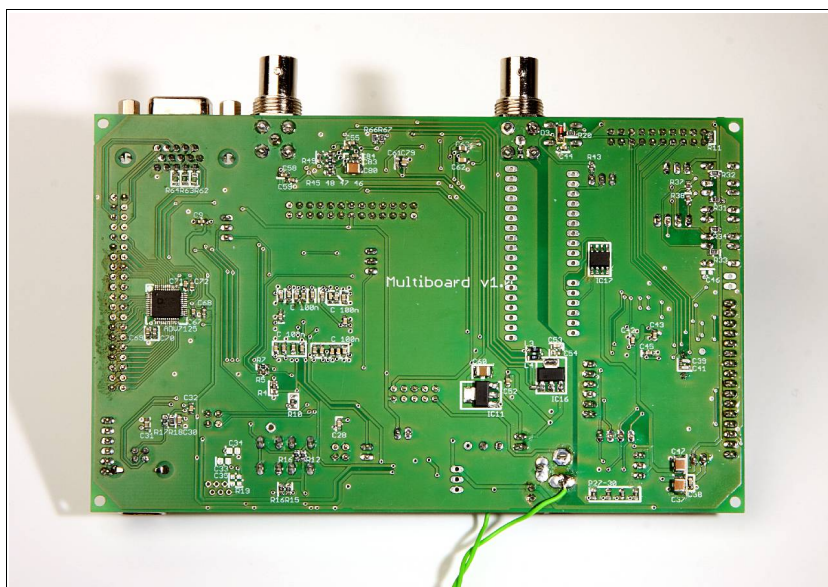
Končna cena razvojnega vezja je bila ocenjena na nekaj več kot 120 €, časovni rok izdelave pa na 6 mesecev. Obe oceni sta bili točni, potrebno pa je vedeti, da so bili nekateri elementi dobljeni kot brezplačni vzorci. V primeru, da bi vse elemente kupili, bi v povprečju zapravili okoli 200 €.

Strogo gledano, sva za načrtovanje porabila 2 inženirskega meseca, za izgradnjo pa še 1 inženirski mesec.

2. Hardware



Sestavljeno vezje – zgornja plast. Na desni strani se nahaja FPGA, na levi ARM. Zgoraj sta vidna dva BNC priključka (za analogno-digitalni pretvornik in digitalno-analogni prevornik – oba priključena neposredno na FPGA)



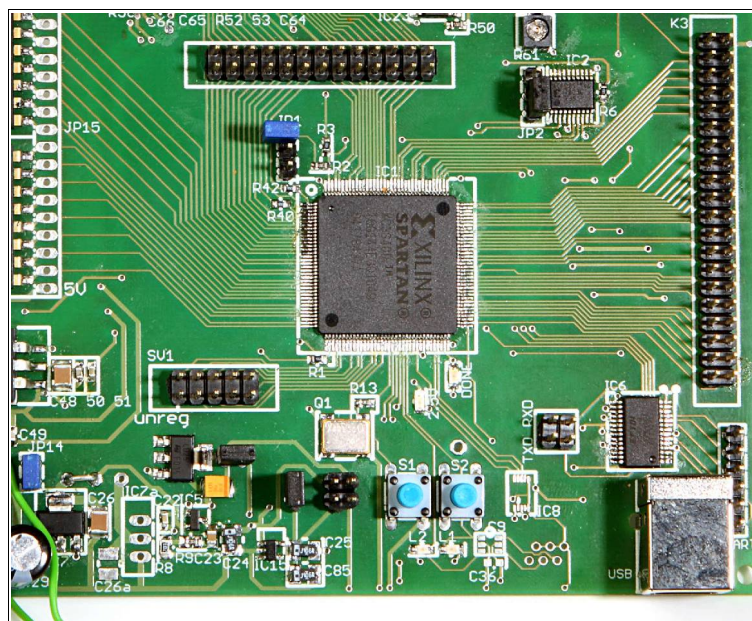
Sestavljeno vezje – spodnja plast. Na levi strani je viden video digitalno-analogni pretvornik.

Seznam pomembnih elementov, ki se nahajajo na *Multiboard v1.0* razvojni plošči:

Integrirano vezje	Vrsta integriranega vezja
XC3S400	FPGA
XCF02S	PROM za shranjevanje FPGA programa
LPC2138	Mikrokrmilnik
AD9215	10-biten paralelni analogno-digitalni pretvornik
DAC902	12-biten paralelni digitalno-analogni pretvornik
ADV7125	24-biten video digitalno-analogni pretvornik
FT232RL	Pretvornik USB v UART – serijski vmesnik
SST25VF512A	512 Kbitni SPI flash pomnilnik

V nadaljevanju so podrobneje opisani posamezni deli razvojne plošče Multiboard v1.0.

2.1 FPGA



Slika FPGA dela vezja

Na vezju se nahaja Xilinx Spartan XC3S400 FPGA. Za napajanje potrebuje 3 napetosti: 1.2V (IC15), 2.5V (IC3) in 3.3V (IC7). Z FPGA-jem so povezani preko 3

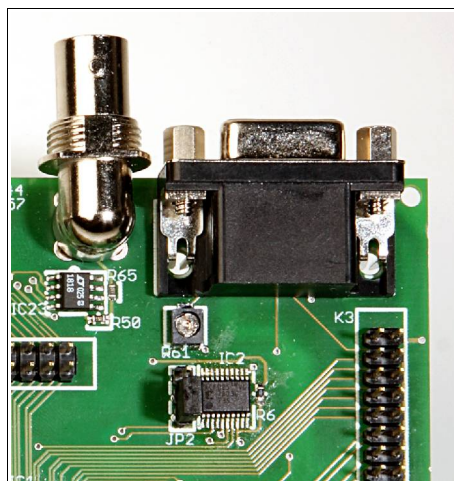
jumperjev JP4 (1.2V), JP5 (2.5V) in J3, s katerim imamo možnost izbrati močnejši napajalnik z drugačnim pinout-om (IC7A).

Priključen je na smd oscilator s frekvenco 50 Mhz (Q1). Le to je možno z vgrajenimi bloki (*DCM* – digital clock management) v FPGA-ju množiti, tako da le ta potem deluje na višji frekvenci.

Vezji IC8 in IC9 nista obvezni. IC8 je serijski analogno-digitalni pretvornik, ki mu pripadajo naslednji elementi: C34, C35, C33 in R19. IC9 je dvojni inverter, ki si deli vhode z led diodami. Če ga ne potrebujemo, nam ni treba prispajkati C36.

2.1.1 Video digitalno-analogni pretvornik

Za pretvorbo digitalnega signala v analogen video signal skrbi ADV7125 integrirano vezje. V tabelah na naslednji strani je prikazano, na katere pine FPGA-ja so priključeni signali video pretvornika.



VGA izhodni priključek in potenciometer R61

V primeru, da so težave s prikazom slike, z nastavlјivim uporom R61 spremenimo nivo amplitude izhodnega signala.

FPGA	ADV7125
P100	R7
P99	R6
P103	R5
P102	R4
P105	R3
P104	R2
P107	R1
P108	R0

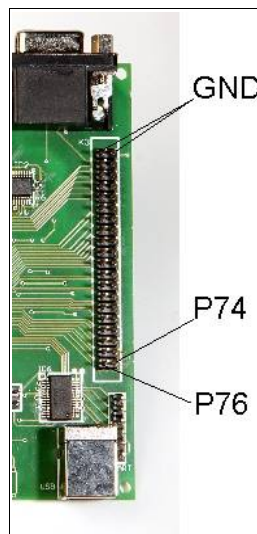
FPGA	ADV7125
P85	G7
P89	G6
P87	G5
P92	G4
P90	G3
P95	G2
P93	G1
P96	G0

FPGA	ADV7125
P74	B7
P78	B6
P77	B5
P80	B4
P79	B3
P83	B2
P82	B1
P84	B0

FPGA	ADV7125
P112	$\overline{\text{psave}}$
P76	clk
P86	$\overline{\text{blank}}$
Not connected	$\overline{\text{sync}}$

FPGA	VGA
P116	ID0
P123	ID1
P97	ID2
P113	ID3
P118	hsync
P122	vsync

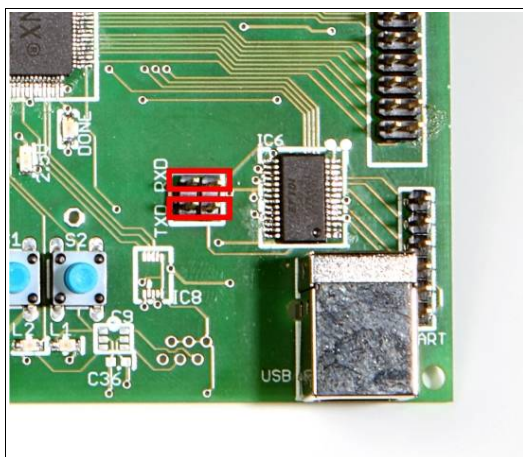
Večina pinov letvice K3 je namenjena video izhodu. Če se video izhoda ne potrebuje, lahko pine koristimo za druge potrebe. V tem primeru ni potrebno spajkati naslednjih elementov: ADV7125, R61, C71, C72, R62, R63, R64, D-SUB15 (vga konektor), C67, C68, C69 in C70.



Letvica K3. Če ne prispajkamo video pretvornika, potem pine lahko izkoristimo za druge potrebe. Slika je samo v pomoč pri določanju položaja FPGA pinov glede na shemo.

2.1.2 USB vmesnik

Integrirano vezje FT232RL je pretvornik med USB in UART standardoma. Potrebujemo ga iz dveh razlogov. Služi kot nadomestek JTAG programatorja za FPGA v povezavi z računalniškim programom *JTAG SUPERSTAR* (glej poglavje 3.1.) ali pa kot UART vmesnik. UART signala iz FT232RL sta RX in TX, ki ju z jumperji povežemo z FPGA-jem. Lahko pa naredimo zunanjo povezavo do mikrokontrolerja in ga sprogramiramo brez uporabe JTAG-a (glej poglavje 3.2.).

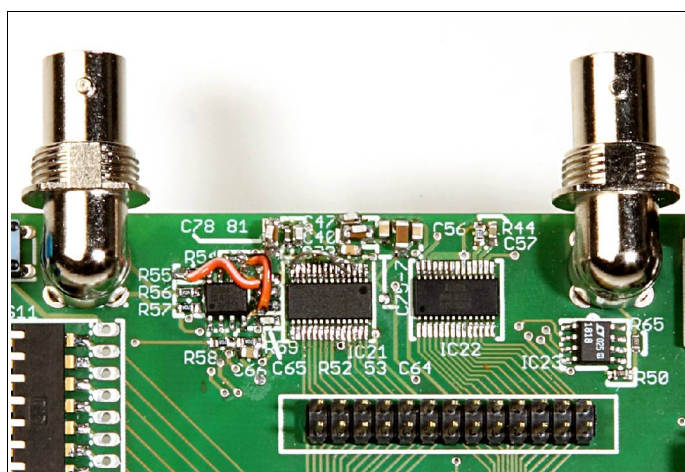


Lokacija jumperjev, če želimo povezati FPGA z UART

Spodnja tabela prikazuje kako je UART povezan z FPGA-jem v primeru, da so nameščeni jumperji, kot prikazuje zgornja slika:

FPGA	UART
P57	RX
P59	TX

2.1.3 Analogna in digitalna pretvorba



Del vezja, ki predstavlja povezavo med digitalnim in analognim svetom.

Za povezavo med digitalnim in analognim svetom skrbita dva paralelna pretvornika.

Analogno digitalni pretvornik AD9215

AD9215 je 10-biten analogno-digitalni pretvornik, z maksimalno frekvenco vzorčenja 105 MHz. Vsi podatkovni signali in ura so vezani direktno na FPGA. Pri testiranju je bila zaradi težav pri generiranju ure največja frekvenca 12 MHz.

Analogni signal je najprej voden na diferencialni ojačevalnik LMH6551. Ta dvigne signal na sredino vhodnega območja ADC-ja na približno $V_{dd}/3$. Vrednosti na shemi so prilagojene na optimalno simetričnost, vendar se lahko spreminjajo po potrebi. Pomemben del tega vezja sta nizki siti (upora R52,53 in kondenzatorja C64,65), ki opravljajo dvojno nalogo. Služita lahko kot anti-aliasing filter, potrebna pa sta tudi za polnjenje S/H kondenzatorjev v AD9215. R52,53 naj ne bi bil manjši od 50R saj lahko ojačevalnik preide v nestabilnost. Pasovna širina ojačevalnega vezja je okoli 200MHz.

Digitalno analogni pretvornik DAC902

Digitalno-analogni pretvornik je integrirano vezje DAC902. Je 12-biten, največja frekvenca vzorčenja pa je 165 MHz. Vseh 12 podatkovnih linij in ura je povezanih s FPGA-jem. Pri tem je potrebno omeniti naslednji problem. Generiranje ure 165 MHz s FPGA-jem je praktično nemogoče. Največja testirana vzorčna frekvenca je bila 100 MHz pri uri FPGA-ja 200 MHz.

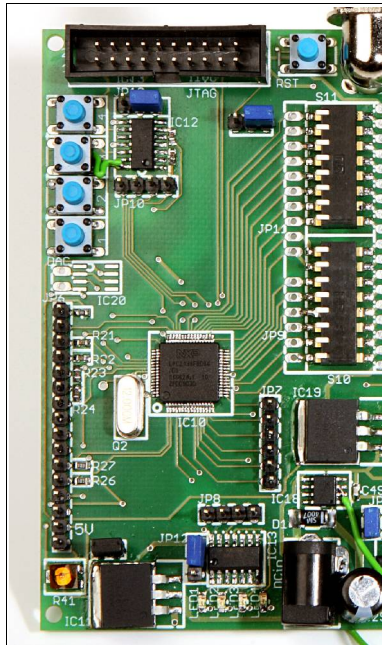
Analogni signal lahko tvorimo s pomočjo ojačevalca LT1818. DAC902 ima diferencialni tokovni izhod, zato je potrebna pretvorba v napetost. Vezje okoli ojačevalnika je prilagojeno na 50 ohmsko izhodno linijo, vendar se lahko vrednosti po potrebi spremenijo. Paziti je treba le na stabilnost, saj je pasovna širina LT1818 400MHz. Stabilnost zagotovimo z večanjem R65.

Povezave pretvornikov s FPGA-jem

FPGA	ADC
P5	D9 (MSB)
P6	D8
P7	D7
P8	D6
P10	D5
P11	D4
P12	D3
P13	D2
P14	D1
P15	D0
P4	clk

FPGA	DAC
P124	Bit 12
P125	Bit 11
P127	Bit 10
P128	Bit 9
P129	Bit 8
P130	Bit 7
P131	Bit 6
P132	Bit 5
P135	Bit 4
P137	Bit 3
P140	Bit 2
P141	Bit 1 (MSB)
P1	clk

2.2 ARM



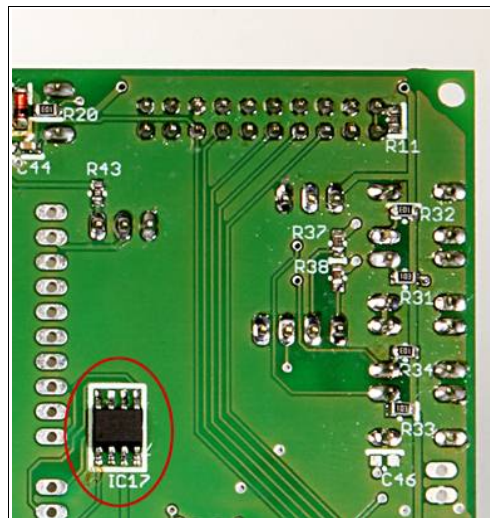
Del vezja z mikrokontrolerom LPC2138

Vezje vsebuje mikrokontroler LPC2138 podjetja NXP. V splošnem je ARM del vezja enak študentskemu razvojnemu sistemu ŠARM, ki je študentom že blizu.

Za delovanje potrebujemo 3.3V regulator, kristalni resonator 12 MHz, pravilno vezano tipko reset ter pravilno vezan P0.14. Za programiranje uporabimo 20-pinski JTAG priključek ali serijsko programiranje s pomočjo FT232. Več o tem v poglavju 3.2

2.2.1 Flash ROM

SST25VF512A je 512Kbit flash pomnilnik, ki je priključen na ARM in FPGA. Komunikacija poteka preko SPI protokola. Pomnilnik je povezan z namenskimi SPI pini na LPC2138, kar omogoča preprosto integracijo.



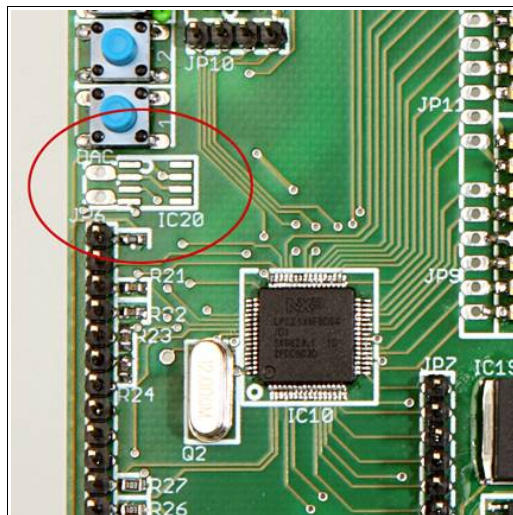
Flash pomnilnik SST25VF512A (hrbтна stran)

Opomba: Za pravilno delovanje moramo na pin CE# (pin 1) dodati pull-up upor, ker je P0.3 tipa open-collector.

ARM	FLASH
P0.3 P26	CE# P1
P0.4 P27	SCK P6
P0.5 P28	SO P2
P0.6 P29	SI P5

*Številke v rdečem pomenijo zaporedno številko pina

2.2.2 DAC

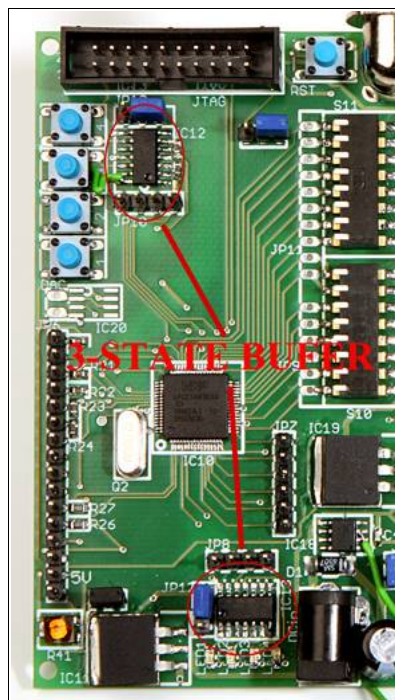


Dac izhod z pomožnim bufferjem

Podobno kot ŠARM, je tudi Multiboard vsebuje ojačevalnik (buffer) za on-chip DAC na P0.25. Uporabljen je lahko poljubni single-supply operacijski ojačevalec.

2.2.3 Tipke in LED diode

Tipke in led diode so z ARMom povezane prek dveh 3-state buffer čipov (74AC125D), ki omogočajo enostaven izklop periferije in hkrati tokovno ne obremenjujejo ARM-a. Vkllop in izklop določamo s položajem jumperjev JP12 in JP13.



Tipke, led diode ter pripadajoča 3-state buffer stikala

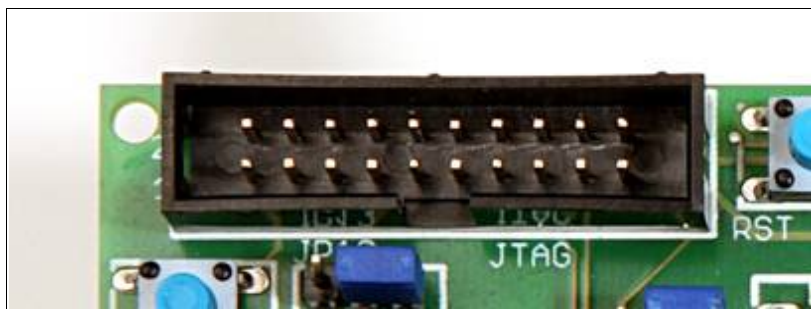
Opomba: Povezave niso izvedene isto kot pri ŠARM-u.

TIPKA	3-state buffer (IC12)	ARM
T1 (S7)	P5 → P6	P1.22 P40
T2 (S8)	P2 → P3	P1.23 P36
T3 (S3)	P12 → P11	P1.20 P48
T4 (S6)	P9 → P8	P1.21 P44

LED dioda	3-state buffer (IC12)	ARM
LED1	P3 ←P2	P1.19 P4
LED2	P6 ←P5	P1.18 P8
LED3	P8 ←P9	P1.16 P16
LED4	P11 ←P12	P1.17 P12

*številke v rdečem pomenijo zaporedno številko pina

2.2.4 JTAG priključek

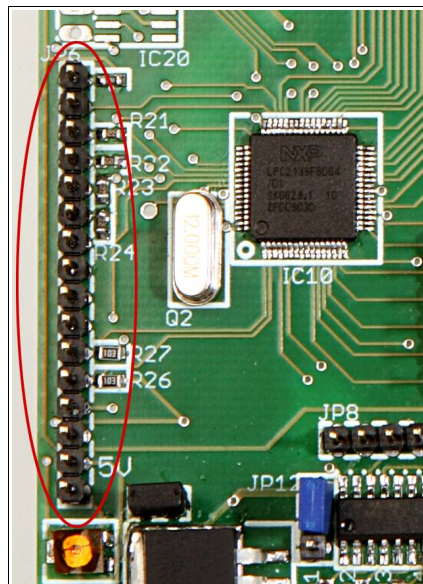


JTAG priključek

JTAG 20pin	ARM
P3 (TRST)	P1.31 P20
P5 (TDI)	P1.28 P60
P7 (TMS)	P1.30 P52
P9 (TCK)	P1.29 P56
P11 (RTCK)	P1.26 P24
P13 (TDO)	P1.27 P64
P15 (RESET)	RESET P57

*številke v rdečem pomenijo zaporedno številko pina

2.2.5 LCD priklop



LCD priklop

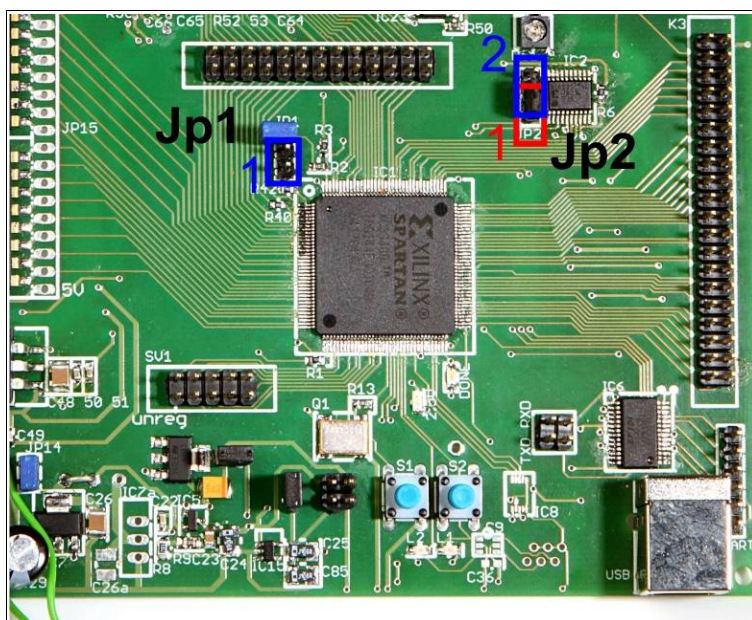
Multiboard omogoča neposreden priklop 16-pinskega LCD zaslona z osvetlitvijo.

Opomba: Za pravilen priklop posameznega LCD zaslona je potrebno na shemi preveriti ujemanje posameznih pinov. Napačen vrstni red lahko pomeni takojšnje uničenje zaslona.

3. Nastavitve in programiranje

3.1 Programiranje FPGA

Programiranje FPGA-ja poteka preko usb vodila. Na izbiro imamo shranjevanje programa neposredno v fpga ali pa v PROM (Xilinx XCF02S), ki se nahaja izven FPGA integriranega vezja. Med načinoma obstaja bistvena razlika. Če pišemo v fpga, se bo program po odklopu napajanja izbrisal. Če pa program shranimo v PROM, se le ta ohrani.

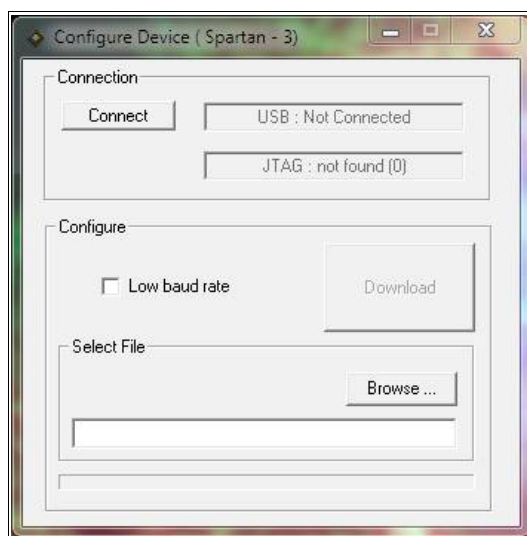


Pozicije jumperjev za nastavitve FPGA-ja

Z jumperjem JP2 nastavimo, kam bomo pisali. V poziciji 1 pišemo neposredno v FPGA, v poziciji 2 pa v PROM. Glede na mesto shranjevanja programa je potrebno nastaviti tudi FPGA in to storimo z jumperjem J1. Če jumperja ni, potem FPGA smatra, da je program naložen v njem. Če jumper namestimo v pozicijo 1, bo fpga ob zagonu program prebral iz PROM-a.

Pisanje programa za FPGA poteka v programskem okolju XILINX ISE, bodisi v

jeziku VHDL ali VERILOG. Ko prevajalnik prevede program v strojno obliko (*.bit), ga naložimo v vezje s programom *JTAG SUPERSTAR*, ki je rahla modifikacija programa *Jtag09* Jurija Purkata. Pri tem je potrebno opozoriti na naslednjo težavo. Za nalaganje v PROM je potrebno obkljukati možnost low baud rate, v nasprotnem primeru lahko pride do napake pri prenosu in v vezje je potrebno poseči z uradnim jtag vmesnikom!



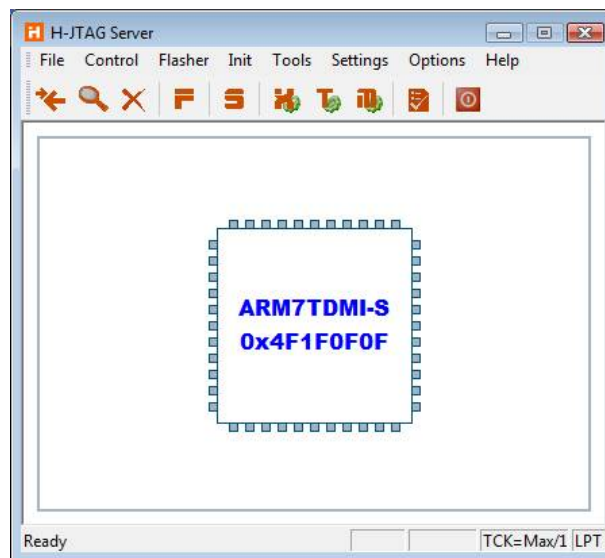
Jtag Superstar računalniški program – modifikacija programa Jurija Purkata.

Čeprav programiranje poteka preko usb vodila, pa se na vezju nahaja pretvornik iz usb v serijsko komunikacijo UART. Uporabljeno je integrirano vezje FTDI FT232R, ki deluje kot serijski vmesnik. Ko je multiboard sestavljen in ga prvič priključimo preko usb kabla na računalnik, je potrebno namestiti D2XX/DCM gonilnike, ki jih najdemo na spletni strani www.ftdichip.com. Nato je potrebno FT232R nastaviti še s programom FT_Prog, ki ga prav tako najdemo na omenjeni spletni strani. FT232R oziroma njegov EEPROM je potrebno sprogramirati z naslednjimi lastnostmi: product description spremenimo v *FT232R USB UART* in obkljukamo high current I/Os.

3.2 Programiranje ARM

3.2.1 JTAG

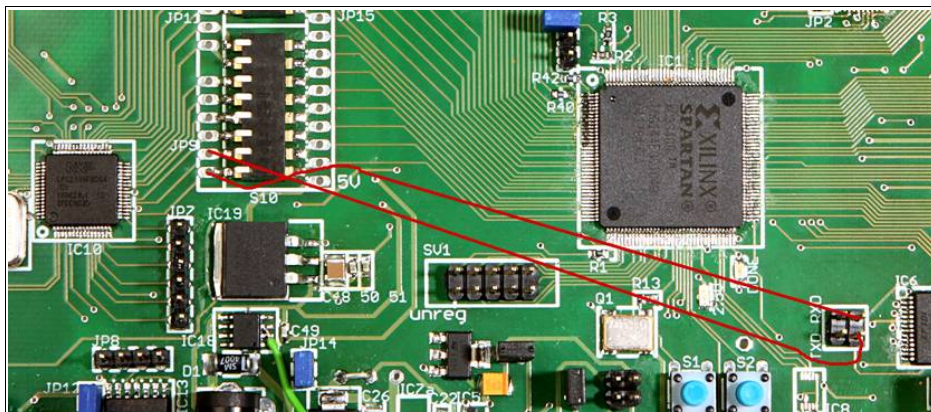
LPC2138 je programirljiv preko poljubnega JTAG vmesnika. Povezava je omogočena z 20-pinskim priključkom. Najcenejša rešitev za JTAG vmesnik je kombinacija LPT priključka *Cigotag* ter programa H-JTAG. Jumper JP16 mora biti ves čas v levem položaju.



HJTAG server

3.2.2 Serial Flash Loader

Prenos programa je mogoč tudi preko serijskega vmesnika. To storimo z vezavo TXD in RXD izhodov FT232 na P0.0 in P0.1 procesorja. Za prenos potrebujemo še program Flash Magic ter jumper v desnem položaju na JP16. Po končanem prenosu postavimo jumper nazaj v levi položaj.



Prevezava FT232 za serijsko programiranje procesorja

4. Opis napak

Verzija Multiboard v1.0 vsebuje sledeče napake:

- *Kratek stik:* koordinate x6.6 y78.4 [mm] (glej priložene datoteke - tiskanina)
- *V celoti manjka priključek za negativno napajanje.* Pod IC18 (-5V regulator) je potrebno prekiniti povezavo z N\$104 (neregulirana pozitivna napetost). Ko povezavo prekinemo, napeljemo negativno napetost neposredno na enega od vhodnih pinov IC18.
- *Narobe povezan LMH6551 diferencialni gonilnik za ADC.* Namesto dvojne negativne povratne vezave imamo dvojno pozitivno. Povratne vezave je potrebno prekiniti in zamenjati med seboj.
- *Pri ADC-ju AD9215, je potrebno pin 14 (PWDN) povezati na GND.* Kljub temu čip ne deluje po pričakovanjih, saj se ob prehodih skozi nivo $V_{dd}/2$ pojavi *overrange* stanje, ki za en urin cikel ustavi delovanje AD9215. Rešitev še ni znana.
- *Signal $\overline{\text{sync}}$ video pretvornika ni povezan na FPGA.* V praksi ne dela problema.
- *Open-collector izhodi na ARM-u nimajo možnosti dodatka pull-up uporov (P0.2 in P0.3).* To npr. onemogoči delovanje SPI komunikacije z flash pomnilnikom.

5. Napotki za gradnjo vezja

V primeru, da imamo pred seboj tiskanino Multiboard v1.0, je potrebno najprej odpraviti kratek stik opisan v prvi točki poglavja 5. Ostale napake odpravimo po potrebi.

Priporočljiv vrstni red gradnje osnovnega vezja je sledeč:

ARM:

- 3v3 napajanje in test
- LPC2138, kristalni resonator, JTAG priključek in mostič JP16
- Preizkus ali lahko z JTAGom zaznamo procesor

FPGA:

- Potrebna napajanja in test
- FT232 in preizkus z usb priključkom. Podrobna navodila za predhodno nastavitve najdemo v poglavju 3.1. in na spletni strani originalne razvojne plošče: <http://lniv.fe.uni-lj.si/Spartan3Modul.html>.
- FPGA, oscilator, upori okoli obeh ter kakšna LED dioda za preizkus delovanja
- Prenos preizkusnega programa za FPGA (prižgi/ugasni LED)

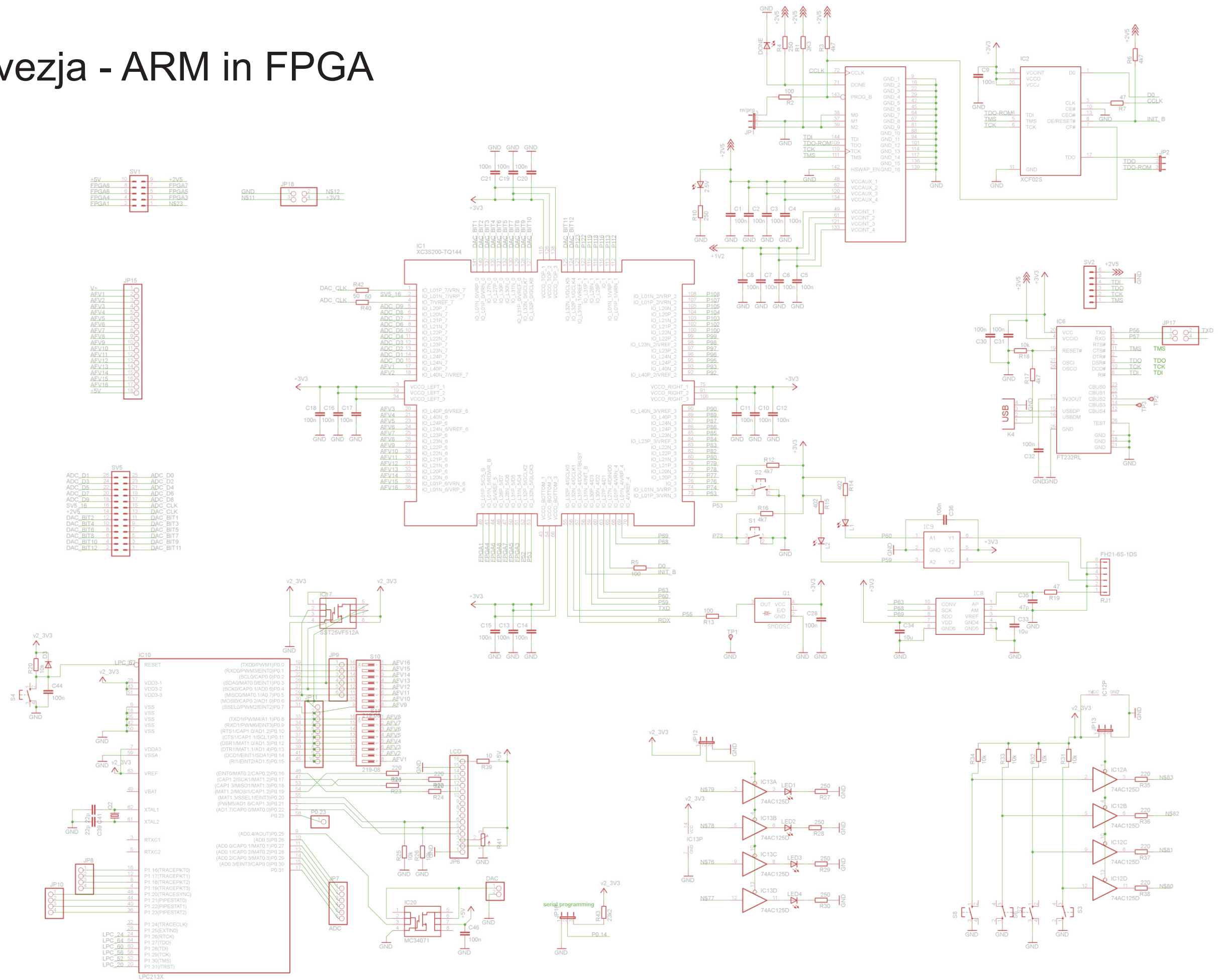
6. Zahvale

Zahvaljujemo se docentu dr. Andreju Trostu, ker nama je pomagal v z nasveti in predvsem ker je z nama delil izvorno kodo programa za programiranje FPGA-ja in shemo razvojne plošče, razvite v *Laboratoriju za načrtovanje integriranih vezij (LNIV)*. Prav tako bi se zahvalile celotnemu kolektivu zgoraj omenjenga laboratorija, ker so nama odstopili prostor v laboratoriju, da sva lahko sestavila in testirala vezje. Posebna zahvala pa gre tudi podjetju Silica oziroma Tomažu Reharju in Urošu Maliju, kjer sva dobila večino integriranih vezij in še nekaj nasvetov glede gradnje vezja.

7. Priloge

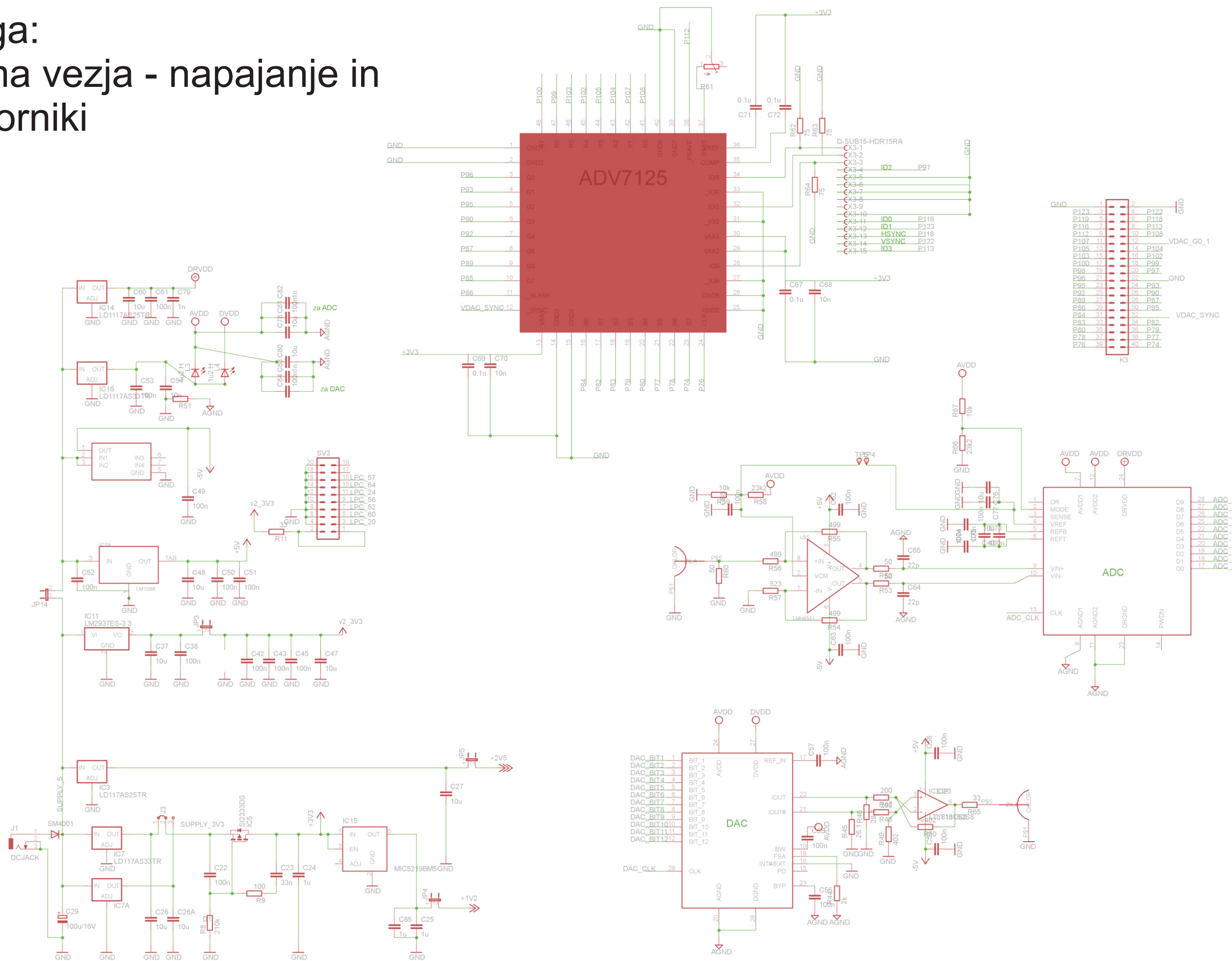
- Shema vezja
- Shema tiskanine
- Kosovnica

Priloga: Shema vezja - ARM in FPGA



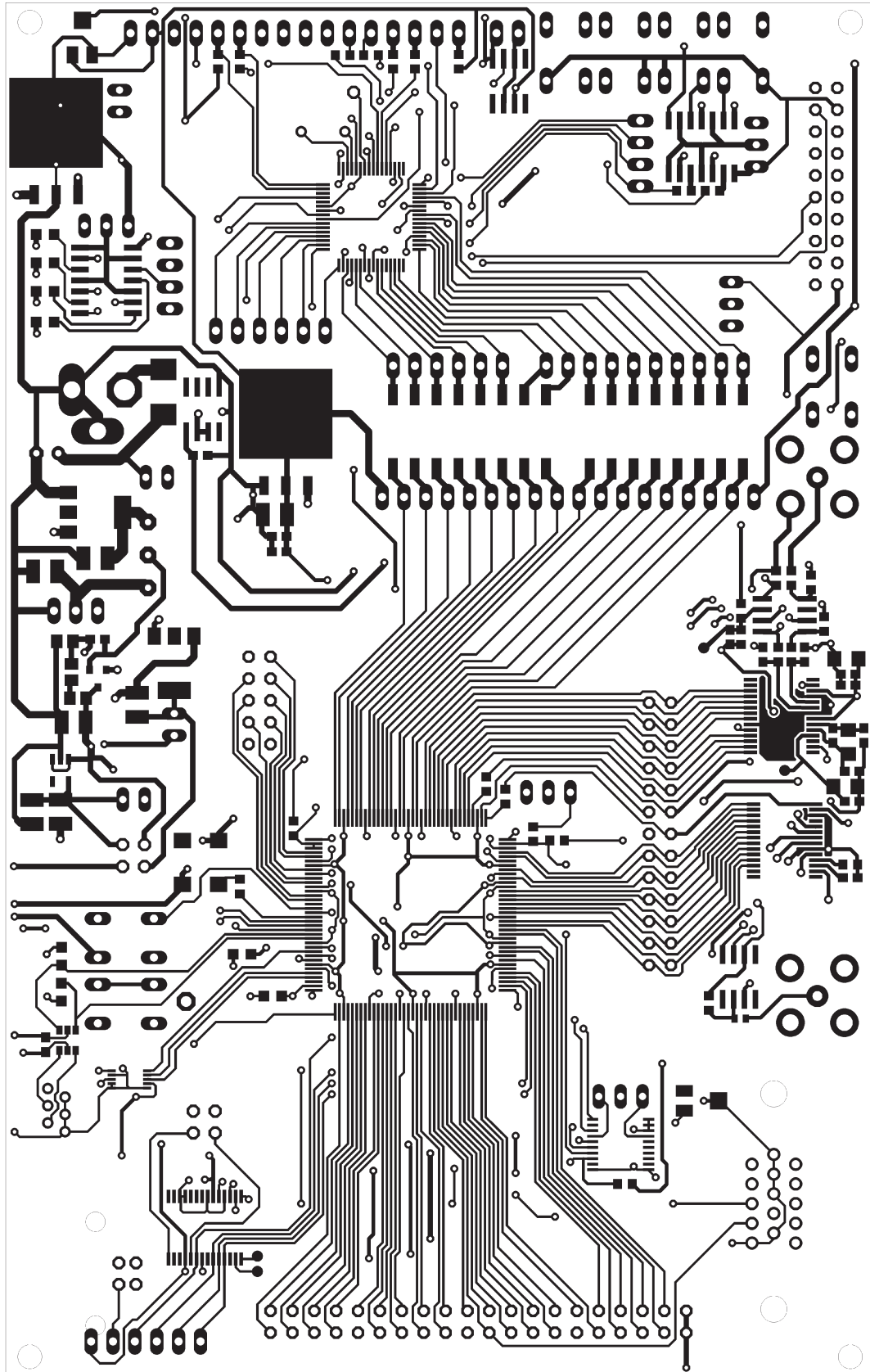
Priloga:

Shema vezja - napajanje in pretvorniki



Priloga:

Shema tiskanine - zgornja plast



Priloga:

Shema tiskanine - spodnja plast

